

?s pn=jp 2000323013
S3 1 PN=JP 2000323013
?t s3/5/all

3/5/1
DIALOG(R)File 347:JAPIO
(c) 2005 JPO & JAPIO. All rts. reserv.

06737166 **Image available**
COLD CATHODE FIELD ELECTRON EMISSION ELEMENT AND ITS MANUFACTURE AS WELL AS
COLD CATHODE FIELD ELECTRON EMISSION TYPE DISPLAY DEVICE

PUB. NO.: 2000-323013 [*JP 2000323013* A]
PUBLISHED: November 24, 2000 (20001124)
INVENTOR(s): KIKUCHI KAZUO
KUBOTA SHINJI
SATA HIROSHI
APPLICANT(s): SONY CORP
APPL. NO.: 11-128635 [JP 99128635]
FILED: May 10, 1999 (19990510)
INTL CLASS: H01J-001/304; H01J-009/02; H01J-029/04; H01J-031/12

ABSTRACT

PROBLEM TO BE SOLVED: To provide a cold cathode field electron emission element easily manufactured and capable of coping with a big screen of a display device.

SOLUTION: This cold cathode field electron emission element is provided with (A) a cathode electrode 11 formed on a support 10, (B) an insulating layer formed on the support 10 including the cathode electrode 11, (C) a gate electrode 13 formed on the insulating layer 12, (D) an opening 14 penetrating the gate electrode 13 and the insulating layer 12, (E) a resistor layer 15e formed on the cathode electrode 11 located at the bottom of the opening 14 and having the tip part in a shape of a drill, and (F) an electron emitting part 17e made of a conductive material whose work function is smaller than that of the material constituting the resistor layer 15e and formed on the tip of the resistor layer 15e reflecting its drill shape.

COPYRIGHT: (C)2000,JPO
?

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-323013
(P2000-323013A)

(43) 公開日 平成12年11月24日 (2000. 11. 24)

(51) Int. Cl. ⁷	識別記号	F I	テーマコード (参考)
H 0 1 J	1/304	H 0 1 J	F 5 C 0 3 1
	9/02		B 5 C 0 3 6
	29/04		
	31/12		C

審査請求 未請求 請求項の数44 O L (全 42 頁)

(21) 出願番号 特願平11-128635

(22) 出願日 平成11年5月10日 (1999. 5. 10)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 菊地 一夫

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 久保田 紳治

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 100094363

弁理士 山本 孝久

最終頁に続く

(54) 【発明の名称】 冷陰極電界電子放出素子及びその製造方法、並びに、冷陰極電界電子放出表示装置

(57) 【要約】

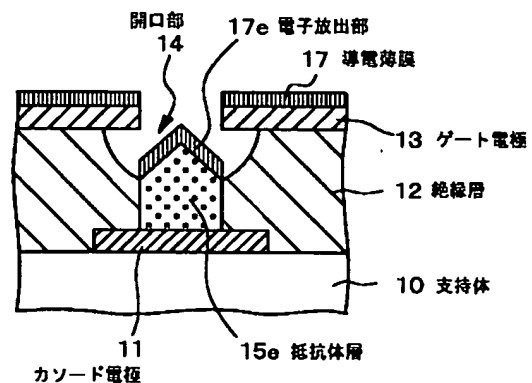
【課題】 製造が容易で表示装置の大画面化に対応可能な冷陰極電界電子放出素子を提供する。

【解決手段】 冷陰極電界電子放出素子を、(A) 支持体10上に形成されたカソード電極11、(B) カソード11電極上を含む支持体10上に形成された絶縁層、

(C) 絶縁層12上に形成されたゲート電極13、

(D) ゲート電極13と絶縁層12とを貫通した開口部14、(E) 開口部14の底部に位置するカソード電極11上に形成され、且つ、先端部が錐状形状を有する抵抗体層15e、及び、(F) 抵抗体層15eを構成する材料よりも仕事関数の小さい導電材料から成り、抵抗体層15eの先端部上に該先端部の錐状形状を反映して形成された電子放出部17eを備えた構成とする。

【図1】



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】 (A) 支持体上に形成されたカソード電極、

(B) カソード電極上を含む支持体上に形成された絶縁層、

(C) 絶縁層上に形成されたゲート電極、

(D) ゲート電極と絶縁層とを貫通した開口部、

(E) 開口部の底部に位置するカソード電極上に形成され、且つ、先端部が錐状形状を有する抵抗体層、及び、

(F) 抵抗体層を構成する材料よりも仕事関数の小さい導電材料から成り、抵抗体層の先端部上に該先端部の錐状形状を反映して形成された電子放出部、を備えていることを特徴とする冷陰極電界電子放出素子。

【請求項2】 抵抗体層の電気抵抗率が $1.0 \text{ k}\Omega \cdot \text{cm}$ 乃至 $10 \text{ M}\Omega \cdot \text{cm}$ の範囲にあることを特徴とする請求項1に記載の冷陰極電界電子放出素子。

【請求項3】 ゲート電極上を含む絶縁層上に更に第2絶縁層が形成され、第2絶縁層上に収束電極が形成されていることを特徴とする請求項1に記載の冷陰極電界電子放出素子。

【請求項4】 (イ) 支持体上にカソード電極を形成する工程と、

(ロ) カソード電極上を含む支持体上に絶縁層を形成する工程と、

(ハ) 絶縁層上にゲート電極を形成する工程と、

(ニ) 底部にカソード電極が露出した開口部を、少なくとも絶縁層に形成する工程と、

(ホ) 開口部内を含む全面に抵抗体層を形成する工程と、

(ヘ) 開口部の中央部に位置する抵抗体層の領域を遮蔽するように、マスク材料層を抵抗体層上に形成する工程と、

(ト) 抵抗体層の支持体に対して垂直な方向におけるエッチング速度がマスク材料層の支持体に対して垂直な方向におけるエッチング速度よりも速くなる異方性エッチング条件下で抵抗体層とマスク材料層とをエッチングすることにより、先端部が錐状形状を有する抵抗体層を開口部内に形成する工程と、

(チ) 抵抗体層の先端部上に、該抵抗体層を構成する材料よりも仕事関数の小さい導電材料から成り、且つ、該先端部の錐状形状を反映した電子放出部を形成する工程、から成ることを特徴とする冷陰極電界電子放出素子の製造方法。

【請求項5】 工程(ホ)では、電気抵抗率が $1.0 \text{ k}\Omega \cdot \text{cm}$ 乃至 $10 \text{ M}\Omega \cdot \text{cm}$ の範囲にある材料を用いて抵抗体層を形成することを特徴とする請求項4に記載の冷陰極電界電子放出素子の製造方法。

【請求項6】 工程(ホ)では、開口部の上端面と底面との間の段差を反映した凹部を抵抗体層の表面に生成させ、

工程(ヘ)では、抵抗体層の全面にマスク材料層を形成した後、マスク材料層を抵抗体層の平坦面が露出するまで除去することにより、凹部にマスク材料層を残すことを特徴とする請求項4に記載の冷陰極電界電子放出素子の製造方法。

【請求項7】 工程(ホ)では、開口部の上端面と底面との間の段差を反映して、柱状部と該柱状部の上端に連通する拡大部とから成る略漏斗状の凹部を抵抗体層の表面に生成させ、

工程(ヘ)では、柱状部内にマスク材料層を形成することを特徴とする請求項4に記載の冷陰極電界電子放出素子の製造方法。

【請求項8】 工程(ヘ)では、抵抗体層の全面にマスク材料層を形成した後、マスク材料層と抵抗体層とを支持体の表面に対して平行な面内で除去することにより、柱状部内のみマスク材料層を残すことを特徴とする請求項7に記載の冷陰極電界電子放出素子の製造方法。

【請求項9】 工程(ヘ)では、抵抗体層の全面にマスク材料層を形成した後、抵抗体層上及び拡大部内のマスク材料層を除去することにより、柱状部内のみマスク材料層を残すことを特徴とする請求項7に記載の冷陰極電界電子放出素子の製造方法。

【請求項10】 マスク材料層の支持体に対して垂直な方向におけるエッチング速度を R_2 、抵抗体層の支持体に対して垂直な方向におけるエッチング速度を R_1 としたとき、 $10 R_2 \leq R_1$ の関係を満足することを特徴とする請求項7に記載の冷陰極電界電子放出素子の製造方法。

【請求項11】 マスク材料層が銅、金、白金の少なくともいずれかから成ることを特徴とする請求項7に記載の冷陰極電界電子放出素子の製造方法。

【請求項12】 工程(ホ)では、抵抗体層をCVD法により形成することを特徴とする請求項4に記載の冷陰極電界電子放出素子の製造方法。

【請求項13】 (イ) 支持体上にカソード電極を形成する工程と、

(ロ) カソード電極上を含む支持体上に絶縁層を形成する工程と、

(ハ) 絶縁層上にゲート電極を形成する工程と、

(ニ) 底部にカソード電極が露出した開口部を、少なくとも絶縁層に形成する工程と、

(ホ) 開口部の底部を抵抗体層で埋め込む工程と、

(ヘ) 開口部の残部を含む全面に電子放出部形成用の導電材料層を形成する工程と、

(ト) 開口部の中央部に位置する導電材料層の領域を遮蔽するように、マスク材料層を導電材料層上に形成する工程と、

(チ) 導電材料層の支持体に対して垂直な方向におけるエッチング速度がマスク材料層の支持体に対して垂直な方向におけるエッチング速度よりも速くなる異方性エッチング条件下で導電材料層とマスク材料層とをエッチン

グすることにより、導電材料層から成り、且つ、先端部が錐状形状を有する電子放出部を抵抗体層上に形成する工程、から成ることを特徴とする冷陰極電界電子放出素子の製造方法。

【請求項14】工程（ホ）では、電気抵抗率が $1.0\text{ k}\Omega\cdot\text{cm}$ 乃至 $10\text{ M}\Omega\cdot\text{cm}$ の範囲にある材料から成る抵抗体層で開口部の底部を埋め込むことを特徴とする請求項13に記載の冷陰極電界電子放出素子の製造方法。

【請求項15】工程（ホ）では、開口部内を含む全面に抵抗体層を形成した後、抵抗体層をエッチングして開口部の底部を抵抗体層で埋め込むことを特徴とする請求項14に記載の冷陰極電界電子放出素子の製造方法。

【請求項16】工程（ホ）では、開口部内を含む全面に抵抗体層を形成し、更に抵抗体層の全面に平坦化層を表面が略平坦となるように形成し、平坦化層と抵抗体層の支持体に垂直な方向におけるエッチング速度が略等しくなる条件下でこれら両層をエッチングすることにより、開口部の底部を上面が平坦な抵抗体層で埋め込むことを特徴とする請求項15に記載の冷陰極電界電子放出素子の製造方法。

【請求項17】工程（ニ）では、カソード電極の表面を基準とした壁面の傾斜角 θ_1 を有する開口部を絶縁層に形成し、

工程（チ）では、カソード電極の表面を基準とした斜面の傾斜角 θ_2 が $\theta_1 < \theta_2 < 90^\circ$ の関係を満たす錐状の電子放出部を形成することを特徴とする請求項14に記載の冷陰極電界電子放出素子の製造方法。

【請求項18】工程（ヘ）では、開口部の上端面と底面との間の段差を反映した凹部を電子放出部形成用の導電材料層の表面に生成させ、

工程（ト）では、導電材料層の全面にマスク材料層を形成した後、マスク材料層を導電材料層の平坦面が露出するまで除去することにより、マスク材料層を凹部に残すことを特徴とする請求項14に記載の冷陰極電界電子放出素子の製造方法。

【請求項19】工程（ヘ）では、開口部の上端面と底面との間の段差を反映して、柱状部と該柱状部の上端に連通する拡大部とから成る略漏斗状の凹部を電子放出部形成用の導電材料層の表面に生成させ、

工程（ト）では、柱状部内にマスク材料層を残すことを特徴とする請求項14に記載の冷陰極電界電子放出素子の製造方法。

【請求項20】工程（ヘ）では、導電材料層の全面にマスク材料層を形成した後、マスク材料層と導電材料層とを支持体の表面に対して平行な面内で除去することにより、柱状部内のみマスク材料層を残すことを特徴とする請求項19に記載の冷陰極電界電子放出素子の製造方法。

【請求項21】工程（ヘ）では、導電材料層の全面にマスク材料層を形成した後、導電材料層上及び拡大部内の

マスク材料層を除去することにより、柱状部内のみマスク材料層を残すことを特徴とする請求項19に記載の冷陰極電界電子放出素子の製造方法。

【請求項22】マスク材料層の支持体に対して垂直な方向におけるエッチング速度を R_2 、導電材料層の支持体に対して垂直な方向におけるエッチング速度を R_3 としたとき、 $10R_2 \leq R_3$ の関係を満足することを特徴とする請求項19に記載の冷陰極電界電子放出素子の製造方法。

【請求項23】マスク材料層が銅、金、白金の少なくともいずれかから成ることを特徴とする請求項22に記載の冷陰極電界電子放出素子の製造方法。

【請求項24】工程（ヘ）において、電子放出部形成用の導電材料層を形成する前に、開口部の残部を含む全面に密着層を形成することを特徴とする請求項14に記載の冷陰極電界電子放出素子の製造方法。

【請求項25】工程（チ）では、導電材料層の支持体に対して垂直な方向におけるエッチング速度と密着層の支持体に対して垂直な方向におけるエッチング速度とがマスク材料層の支持体に対して垂直な方向におけるエッチング速度よりも速くなる異方性エッチング条件下で導電材料層とマスク材料層と密着層とをエッチングすることを特徴とする請求項24に記載の冷陰極電界電子放出素子の製造方法。

【請求項26】工程（チ）における電子放出部形成用の導電材料層の支持体に対して垂直な方向におけるエッチング速度 R_3 と密着層の支持体に対して垂直な方向におけるエッチング速度 R_4 とが、 $R_4 \leq R_3 \leq 5R_4$ の関係を満たすことを特徴とする請求項25に記載の冷陰極電界電子放出素子の製造方法。

【請求項27】電子放出部形成用の導電材料層と密着層とが同一の導電材料から成ることを特徴とする請求項26に記載の冷陰極電界電子放出素子の製造方法。

【請求項28】工程（ヘ）では、電子放出部形成用の導電材料層をCVD法により形成することを特徴とする請求項14に記載の冷陰極電界電子放出素子の製造方法。

【請求項29】（イ）表面に抵抗体層を有するカソード電極を支持体上に形成する工程と、

（ロ）カソード電極上を含む支持体上に絶縁層を形成する工程と、

（ハ）絶縁層上にゲート電極を形成する工程と、

（ニ）底部に抵抗体層が露出した開口部を、少なくとも絶縁層に形成する工程と、

（ホ）開口部内を含む全面に電子放出部形成用の導電材料層を形成する工程と、

（ヘ）開口部の中央部に位置する導電材料層の領域を遮蔽するように、マスク材料層を導電材料層上に形成する工程と、

（ト）導電材料層の支持体に対して垂直な方向におけるエッチング速度がマスク材料層の支持体に対して垂直な

方向におけるエッチング速度よりも速くなる異方性エッチング条件下で導電材料層とマスク材料層とをエッチングすることにより、導電材料層から成り、先端部が錐状形状を有する電子放出部を抵抗体層上に形成する工程、から成ることを特徴とする冷陰極電界電子放出素子の製造方法。

【請求項30】工程（イ）では、電気抵抗率が $1.0\text{ k}\Omega\cdot\text{cm}$ 乃至 $10\text{ M}\Omega\cdot\text{cm}$ の範囲にある材料を用いて抵抗体層を構成することを特徴とする請求項29に記載の冷陰極電界電子放出素子の製造方法。

【請求項31】工程（ニ）では、カソード電極の表面を基準とした壁面の傾斜角 θ_1 を有する開口部を絶縁層に形成し、

工程（ト）では、カソード電極の表面を基準とした斜面の傾斜角 θ_2 が $\theta_1 < \theta_2 < 90^\circ$ の関係を満たす錐状の電子放出部を形成することを特徴とする請求項30に記載の冷陰極電界電子放出素子の製造方法。

【請求項32】工程（ホ）では、開口部の上端面と底面との間の段差を反映した凹部を電子放出部形成用の導電材料層の表面に生成させ、

工程（ヘ）では、導電材料層の全面にマスク材料層を形成した後、マスク材料層を導電材料層の平坦面が露出するまで除去することにより、マスク材料層を凹部に残すことを特徴とする請求項30に記載の冷陰極電界電子放出素子の製造方法。

【請求項33】工程（ホ）では、開口部の上端面と底面との間の段差を反映して、柱状部と該柱状部の上端に連通する拡大部とから成る略漏斗状の凹部を電子放出部形成用の導電材料層の表面に生成させ、

工程（ヘ）では、柱状部内にマスク材料層を残すことを特徴とする請求項30に記載の冷陰極電界電子放出素子の製造方法。

【請求項34】工程（ホ）では、導電材料層の全面にマスク材料層を形成した後、マスク材料層と導電材料層とを支持体の表面に対して平行な面内で除去することにより、柱状部内のみマスク材料層を残すことを特徴とする請求項33に記載の冷陰極電界電子放出素子の製造方法。

【請求項35】工程（ホ）では、導電材料層の全面にマスク材料層を形成した後、導電材料層上及び拡大部内のマスク材料層を除去することにより、柱状部内のみマスク材料層を残すことを特徴とする請求項33に記載の冷陰極電界電子放出素子の製造方法。

【請求項36】マスク材料層の支持体に対して垂直な方向におけるエッチング速度を R_2 、導電材料層の支持体に対して垂直な方向におけるエッチング速度を R_3 としたとき、 $10R_2 \leq R_3$ の関係を満足することを特徴とする請求項33に記載の冷陰極電界電子放出素子の製造方法。

【請求項37】マスク材料層が銅、金、白金の少なくとも

もいずれかから成ることを特徴とする請求項36に記載の冷陰極電界電子放出素子の製造方法。

【請求項38】工程（ホ）では、電子放出部形成用の導電材料層をCVD法により形成することを特徴とする請求項30に記載の冷陰極電界電子放出素子の製造方法。

【請求項39】工程（ホ）において、電子放出部形成用の導電材料層を形成する前に、開口部を含む全面に密着層を形成することを特徴とする請求項30に記載の冷陰極電界電子放出素子の製造方法。

【請求項40】工程（ト）では、導電材料層の支持体に対して垂直な方向におけるエッチング速度と密着層の支持体に対して垂直な方向におけるエッチング速度とがマスク材料層の支持体に対して垂直な方向におけるエッチング速度よりも速くなる異方性エッチング条件下で導電材料層とマスク材料層と密着層とをエッチングすることを特徴とする請求項39に記載の冷陰極電界電子放出素子の製造方法。

【請求項41】工程（ト）における電子放出部形成用の導電材料層の支持体に対して垂直な方向におけるエッチング速度 R_3 と密着層の支持体に対して垂直な方向におけるエッチング速度 R_4 とが、 $R_4 \leq R_3 \leq 5R_4$ の関係を満たすことを特徴とする請求項40に記載の冷陰極電界電子放出素子の製造方法。

【請求項42】電子放出部形成用の導電材料層と密着層とが同一の導電材料から成ることを特徴とする請求項41に記載の冷陰極電界電子放出素子の製造方法。

【請求項43】複数の画素から構成され、各画素は、複数の冷陰極電界電子放出素子と、複数の冷陰極電界電子放出素子に対向して基板上に設けられたアノード電極及び蛍光体層から構成され、各冷陰極電界電子放出素子は、

- (A) 支持体上に形成されたカソード電極、
- (B) カソード電極上を含む支持体上に形成された絶縁層、
- (C) 絶縁層上に形成されたゲート電極、
- (D) ゲート電極と絶縁層とを貫通した開口部、
- (E) 開口部の底部に位置するカソード電極上に形成され、且つ、先端部が錐状形状を有する抵抗体層、及び、
- (F) 抵抗体層を構成する材料よりも仕事関数の小さい導電材料から成り、抵抗体層の先端部に該先端部の錐状形状を反映して形成された電子放出部、を備えていることを特徴とする冷陰極電界電子放出表示装置。

【請求項44】抵抗体層の電気抵抗率が $1.0\text{ k}\Omega\cdot\text{cm}$ 乃至 $10\text{ M}\Omega\cdot\text{cm}$ の範囲にあることを特徴とする請求項43に記載の冷陰極電界電子放出表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、冷陰極電界電子放出素子及びその製造方法、並びに、冷陰極電界電子放出型表示装置に関し、より詳しくは、先端部が錐状形状を

有する冷陰極電界電子放出素子及びその製造方法、並びに、かかる冷陰極電界電子放出素子を２次元マトリクス状に配列した平面型の冷陰極電界電子放出型表示装置に関する。

【０００２】

【従来の技術】現在主流の陰極線管（ＣＲＴ）に代わる画像表示装置として、平面型（フラットパネル形式）の表示装置が種々検討されている。このような平面型の表示装置としては、液晶表示装置（ＬＣＤ）、エレクトロルミネッセンス表示装置（ＥＬＤ）、プラズマ表示装置（ＰＤＰ）が例示される。また、熱的励起によらず固体から真空中に電子を放出することが可能な冷陰極電界電子放出型の表示装置、所謂フィールドエミッションディスプレイ（ＦＥＤ）も提案されており、画面の明るさ及び低消費電力の観点から注目を集めている。

【０００３】冷陰極電界電子放出型の表示装置（以下、単に、表示装置と称する場合がある）は、一般に、２次元マトリクス状に配列された各画素に対応して電子放出部を有するカソード・パネルと、この電子放出部から放出された電子との衝突により励起されて発光する蛍光体層を有するアノード・パネルとが、真空層を介して対向配置された構成を有する。カソード・パネル上の各画素においては、通常、複数の電子放出部が形成され、更に、電子放出部から電子を引き出すためのゲート電極も形成されている。この電子放出部とゲート電極を有する部分を、電界放出素子と称することにする。

【０００４】かかる表示装置の構成において、低い駆動電圧で大きな放出電子電流を得るためには、電子放出部の先端形状を鋭く尖らせた形状とすること、個々の電子放出部を微細化して、一画素に対応する区画内における電子放出部の存在密度を高めること、電子放出部の先端とゲート電極との距離を短縮することが必要である。従って、これらを実現するために、従来より様々な構成を有する電界放出素子が提案されている。

【０００５】かかる従来の表示装置に用いられる電界放出素子の代表例の１つとして、電子放出部を円錐形の導電体で構成した、所謂スピント（Spin d t）型電界放出素子が知られている。このスピント型電界放出素子を適用した表示装置の概念図を、図３７に示す。カソード・パネルＣＰに形成されたスピント型電界放出素子が多数形成されたは、支持体２００に形成されたカソード電極２０１と、絶縁層２０２と、絶縁層２０２上に形成されたゲート電極２０３と、ゲート電極２０３及び絶縁層２０２を貫通して設けられた開口部２０４内に形成された円錐形の電子放出部２０５から構成されている。電子放出部２０５が所定数、２次元マトリクス状に配列されて１画素が構成される。一方、アノード・パネルＡＰは、透明基板２１０上に所定のパターンにより蛍光体層２１１が形成され、この蛍光体層２１１がアノード電極２１２で覆われた構造を有する。

【０００６】電子放出部２０５とゲート電極２０３との間に電圧を印加すると、その結果生じた電界によって電子放出部２０５の先端から電子 e が引き出される。この電子 e は、アノード・パネルＡＰのアノード電極２１２に引き付けられ、アノード電極２１２と透明基板２１０との間に形成された蛍光体層である蛍光体層２１１に衝突する。この結果、蛍光体層２１１が励起されて発光し、所望の画像を得ることができる。この電界放出素子の動作は、基本的にゲート電極２０３に印加される電圧によって制御される。

【０００７】ここで、スピント型電界放出素子の代表的な製造方法の概要を、以下、図３８及び図３９を参照しながら説明する。この製造方法は、基本的には、円錐形の電子放出部２０５を金属材料の垂直蒸着により形成する方法である。即ち、開口部２０４に対して蒸着粒子は垂直に入射するが、開口端付近に形成されるオーバーハング状の堆積物による遮蔽効果を利用して、開口部２０４の底部に到達する蒸着粒子の量を漸減させ、円錐形の堆積物である電子放出部２０５を自己整合的に形成する。ここでは、不要なオーバーハング状の堆積物の除去（リフトオフ）を容易とするために、ゲート電極２０３上に剥離層２０６を予め形成しておく方法について説明する。

【０００８】【工程－１０】 先ず、例えばガラス基板から成る支持体２００の上にニオブ（Nb）から成るカソード電極２０１を形成した後、その上に SiO_2 から成る絶縁層２０２、導電材料から成るゲート電極２０３を順次製膜し、次に、このゲート電極２０３と絶縁層２０２をパターニングすることにより開口部２０４を形成する（図３８の（Ａ）参照）。

【０００９】【工程－２０】 次に、図３８の（Ｂ）に示すように、ゲート電極２０３上にアルミニウムを斜め蒸着することにより、剥離層２０６を形成する。このとき、支持体２００の法線に対する蒸着粒子の入射角を十分に大きく選択することにより、開口部２０４の底面にはアルミニウムを殆ど堆積させることなく、ゲート電極２０３の上に剥離層２０６を形成することができる。この剥離層２０６は、開口部２０４の開口端から底状に張り出しており、これにより開口部２０４が実質的に縮径される。

【００１０】【工程－３０】 次に、全面に例えば導電材料としてモリブデン（Mo）を垂直蒸着する。このとき、図３９の（Ａ）に示すように、剥離層２０６上でオーバーハング形状を有する導電材料層２０５Ａが成長するに伴い、開口部２０４の実質的な直径が次第に縮小されるので、開口部２０４の底部において堆積に寄与する蒸着粒子は、次第に開口部２０４の中央付近を通過するものに限られるようになる。この結果、開口部２０４の底部には円錐形の堆積物が形成され、この円錐形の堆積物が電子放出部２０５となる。

【0011】[工程-40] この後、図39の(B)に示すように、電気化学的プロセス及び湿式プロセスによって剥離層206をゲート電極203の表面から剥離し、ゲート電極203の上方の導電材料層205Aを除去(リフトオフ)する。

【0012】ところで、上述のような電子放出部は、実際には支持体上に場合に依っては数千万個ものオーダーで形成されるため、個々の形状や寸法のばらつきによる電子放出特性のばらつきは避けられない。即ち、電子放出が開始する際のゲート電圧の閾値は電子放出部ごとに異なり、しかもI-V曲線(ゲート電圧Vを横軸、放出電子電流Iを縦軸にとり、ゲート電圧Vに対する放出電子電流Iの変化を表す特性曲線)の傾きはいずれも急峻であるために、通常駆動時のゲート電圧下でも、或る電子放出部は過電流によって破壊され、或る電子放出部からは電子が放出されない、といった不都合が生ずる虞れがある。このばらつきを一部改善可能な電界放出素子として、例えば特開平5-47296号公報に、カソード電極と円錐形状を有する電子放出部との間に電気抵抗層を設けた電界放出素子が開示されている。電気抵抗層は、I-V曲線の傾きを減少させる作用を持つため、電気抵抗層の電気抵抗率を適切に選択することにより、どの電子放出部も通常駆動時のゲート電圧下で破壊されることがなく電子を放出することが可能となる。

【0013】

【発明が解決しようとする課題】ところで、図39の(B)に示した構造を有する電界放出素子の電子放出特性は、開口部204の上端部を成すゲート電極203の縁部203Aから電子放出部205の先端部までの距離に大きく依存する。そして、この距離は、開口部204の形状の加工精度や直径の寸法精度、[工程-30]において製膜される導電材料層205Aの膜厚精度やカバレッジ(段差被覆性)、更にはその下地となる剥離層206の形状精度に大きく依存する。

【0014】従って、均一な特性を有する複数の電界放出素子から構成された表示装置を製造するためには、被製膜体の全面に互って導電材料層205Aを均一に製膜しなければならない。しかしながら、通常の蒸着装置では1地点に設置された蒸発源からある程度の広がり角をもって導電材料粒子が放出されるため、被製膜体の中央部近傍と周辺部とでは、層厚もカバレッジの対称性も異なってしまう。このため、電子放出部の高さがばらついたり、電子放出部の頂点の位置が開口部204の中心からずれ易く、円錐状の電子放出部205の先端部からゲート電極203までの距離のばらつきを抑えることが難しい。しかも、この距離のばらつきは、同一の製造ロット内はもちろん、製造ロット間でも発生し、表示装置の画像表示特性、例えば画像の輝度ムラを発生させる原因となる。更に、導電材料層205Aは通常、約1 μ mあるいはそれ以上の厚さに製膜されるため、蒸着法では数

十時間単位の製膜時間が必要となり、スループット改善が困難であること、大型の蒸着装置が必要となること等の問題もある。

【0015】また、剥離層206を斜め蒸着法にて大面積の被製膜体全面に互って均一に製膜することも極めて困難である。ゲート電極203に設けられた開口部204の縁部から剥離層206が底状に延びるように剥離層206を高精度で堆積させることも極めて困難である。しかも、剥離層206の製膜は、支持体面内でばらつくだけでなく、ロット間でのばらつきも生じ易い。更には、大面積の表示装置を製造するために大面積のガラス基板全体に互って剥離層206の剥離を行うことは極めて困難であるばかりか、剥離層206の剥離は汚染の原因となり、表示装置の製造歩留まりの低下を招く。

【0016】加えて、円錐状の電子放出部205の高さは主に導電材料層205Aの膜厚によって規定されるため、電子放出部205の設計上の自由度が低い。そればかりか、電子放出部205の高さを任意に設定することが困難であるが故に、電子放出部205からゲート電極203までの距離を短くする場合、絶縁層202の膜厚を薄くせざるを得ない。然るに、絶縁層202の膜厚を薄くすると、配線間(ゲート電極203とカソード電極201との間)の静電容量を小さくすることができず、表示装置の電気回路の負担が増えるばかりか、表示装置の面内の均一性及び画質が劣化するといった問題がある。

【0017】これらの問題は、特開平5-47296号公報に開示された、電気抵抗層を有する電界放出素子の製造方法においても何ら解決されていない。それは、この特許公開公報に開示された電界放出素子の製造方法が、導電材料層の除去(リフトオフ)を基本とする従来のスピント型電界放出素子の製造方法と何ら変わらないからである。しかも、上記特許公開公報に開示された製造方法の中で、電気抵抗層もリフトオフ法で形成する方法においては、汚染の発生原因を一層増やすことに成りかねない。

【0018】そこで、本発明は、従来のスピント型の冷陰極電界電子放出素子における製造上の問題点を解決することができ、均一かつ良好な電子放出特性を有する複数の冷陰極電界電子放出素子を簡便な方法で製造し得る冷陰極電界電子放出素子(以下、電界放出素子と称する)及びその製造方法、並びに、この電界放出素子を利用して構成される冷陰極電界電子放出型表示装置(以下、表示装置と称する)を提供することを目的とする。

【0019】

【課題を解決するための手段】上記の目的を達成するための本発明の電界放出素子は、(A)支持体上に形成されたカソード電極、(B)カソード電極上を含む支持体上に形成された絶縁層、(C)絶縁層上に形成されたゲート電極、(D)ゲート電極と絶縁層とを貫通した開口

部、(E)開口部の底部に位置するカソード電極上に形成され、且つ、先端部が錐状形状を有する抵抗体層、及び、(F)抵抗体層を構成する材料よりも仕事関数の小さい導電材料から成り、抵抗体層の先端部上に該先端部の錐状形状を反映して形成された電子放出部、を備えていることを特徴とする。

【0020】本発明の電界放出素子の製造方法（以下、第1の態様に係る製造方法と称する）は、本発明の電界放出素子を製造するための方法である。即ち、(イ)支持体上にカソード電極を形成する工程と、(ロ)カソード電極上を含む支持体上に絶縁層を形成する工程と、

(ハ)絶縁層上にゲート電極を形成する工程と、(ニ)底部にカソード電極が露出した開口部を、少なくとも絶縁層に形成する工程と、(ホ)開口部内を含む全面に抵抗体層を形成する工程と、(ヘ)開口部の中央部に位置する抵抗体層の領域を遮蔽するように、マスク材料層を抵抗体層上に形成する工程と、(ト)抵抗体層の支持体に対して垂直な方向におけるエッチング速度がマスク材料層の支持体に対して垂直な方向におけるエッチング速度よりも速くなる異方性エッチング条件下で抵抗体層とマスク材料層とをエッチングすることにより、先端部が錐状形状を有する抵抗体層を開口部内に形成する工程と、(チ)抵抗体層の先端部上に、該抵抗体層を構成する材料よりも仕事関数の小さい導電材料から成り、且つ、該先端部の錐状形状を反映した電子放出部を形成する工程、から成ることを特徴とする。上記工程(ト)は、マスク材料層と導電材料層のエッチング速度の差を巧妙に利用した一種のエッチバック・プロセスである。尚、本明細書中では、以下、「支持体に対して垂直な方向におけるエッチング速度」を単に「エッチング速度」と称することにする。

【0021】本発明の表示装置は、本発明の電界放出素子を適用した表示装置である。即ち、複数の画素から構成され、各画素は、複数の冷陰極電界電子放出素子と、複数の冷陰極電界電子放出素子に対向して基板上に設けられたアノード電極及び蛍光体層から構成され、各冷陰極電界電子放出素子は、(A)支持体上に形成されたカソード電極、(B)カソード電極上を含む支持体上に形成された絶縁層、(C)絶縁層上に形成されたゲート電極、(D)ゲート電極と絶縁層とを貫通した開口部、

(E)開口部の底部に位置するカソード電極上に形成され、且つ、先端部が錐状形状を有する抵抗体層、及び、

(F)抵抗体層を構成する材料よりも仕事関数の小さい導電材料から成り、抵抗体層の先端部上に該先端部の錐状形状を反映して形成された電子放出部、を備えていることを特徴とする。

【0022】本発明の電界放出素子及び表示装置において、抵抗体層は錐状の先端部を有するが、先端部より下側、即ちカソード電極11と接触する側の部分は、開口部の底部を埋め込んでいることが好ましい。つまり、抵

抗体層は全体として、先を削った鉛筆様の形状を成すことが好ましい。これは、本発明の趣旨が、カソード電極と電子放出部との間に抵抗体層を介在させることによって各電子放出部の電子放出特性のばらつきを抑える点にあることと関連している。つまり、開口部の底部を抵抗体層で埋め込むことにより、開口部内におけるカソード電極と電子放出部との直接接触を確実に避けることができる。抵抗体層の先端部の錐状形状には、円錐形状あるいは角錐形状が包含される。いかなる錐状形状が達成されるかは、後述する製法上の理由により、開口部の平面形状に依存する。即ち、開口部の平面形状が円形であれば、抵抗体層の少なくとも先端部はほぼ円錐形状となり、開口部の平面形状が矩形であれば、ほぼ角錐形状となる。

【0023】電子放出部は、抵抗体層を構成する材料よりも仕事関数 Φ の小さい導電材料から構成されるが、どの導電材料を選択するかは、抵抗体層を構成する材料の仕事関数、ゲート電極と電子放出部との間の電位差、及び所望の放出電子電流密度の大きさに依存する。電界放出素子における電子放出部の代表的な構成材料としては、タングステン($\Phi=4.55\text{ eV}$)、ニオブ($\Phi=4.02\sim4.87\text{ eV}$)、モリブデン($\Phi=4.53\sim4.95\text{ eV}$)、アルミニウム($\Phi=4.28$)、銅($\Phi=4.6$)、タンタル($\Phi=4.3$)、クロム($\Phi=4.5\text{ eV}$)、シリコン($\Phi=4.9$)を例示することができる。

【0024】本発明の電界放出素子及び表示装置においては、抵抗体層の電気抵抗率が $1.0\text{ k}\Omega\cdot\text{cm}$ 乃至 $10\text{ M}\Omega\cdot\text{cm}$ の範囲にあることが好ましい。従って、本発明の第1の態様に係る製造方法では、工程(ホ)において、電気抵抗率が $1.0\text{ k}\Omega\cdot\text{cm}$ 乃至 $10\text{ M}\Omega\cdot\text{cm}$ の範囲にある材料を用いて抵抗体層を形成することが好ましい。抵抗体層を構成する材料としては、上記の範囲に電気抵抗率を持ち得る材料から適宜選択することが可能であるが、特にポリシリコンは、不純物濃度によって広範囲に電気抵抗率を変化させ得ること、成膜方法やエッチング等による加工方法が半導体製造プロセスにおいて確立されていること等の理由により、好適な材料である。

【0025】また、本発明の電界放出素子及び表示装置においては、ゲート電極上を含む絶縁層上に更に第2絶縁層が形成され、第2絶縁層上に収束電極が形成されていてもよい。収束電極は、アノード電極とカソード電極との間の電位差が $10\sim100\text{ V}$ のオーダーであって両電極間の距離が比較的長い、所謂高電圧タイプの表示装置において、電子放出部から放出された電子の軌道の発散を防止するために設けられる部材である。放出電子軌道の収束性を高めることによって、画素間のクロストークが低減され、特にカラー表示を行う場合の色濁りを防止し、更に画素を微細化して表示画面の高精細度化を図

ることが可能となる。

【0026】尚、本発明の電界放出素子においては、開口部はゲート電極と絶縁層とを貫通しているのに対し、この電界放出素子を製造するための第1の態様に係る製造方法の工程(二)において、底部にカソード電極が露出した開口部を「少なくとも」絶縁層に形成する、と表現したのは、ゲート電極における開口部の形成と絶縁層における開口部の形成とを同時に行う必要がない場合も想定されるからである。ゲート電極における開口部の形成と絶縁層における開口部の形成とを同時に行う必要がない場合とは、例えば、最初から開口部が設けられたゲート電極を絶縁層上に形成し、この開口部内において絶縁層の一部を除去することにより開口部を形成する場合である。尚、この「少なくとも」の意味は、後述する本発明の第2の態様に係る製造方法の工程(二)、及び本発明の第3の態様に係る製造方法の工程(二)についても、同様に当てはまるものとする。

【0027】本発明の第1の態様に係る製造方法は、工程(ホ)のバリエーションによって、更に第1Aの態様と第1Bの態様に大別することができる。即ち、本発明の第1Aの態様に係る製造方法は、工程(ホ)において、開口部の上端面と底面との間の段差を反映した凹部を抵抗体層の表面に生成させ、続く工程(ヘ)において、抵抗体層の全面にマスク材料層を形成した後、マスク材料層を抵抗体層の平坦面が露出するまで除去することにより、凹部にマスク材料層を残すことを特徴とする。凹部に残されたマスク材料層の表面は、略平坦であることが好ましい。従って、導電材料層の全面に形成された段階で既にマスク材料層の表面が略平坦である場合には、マスク材料層の除去を異方性エッチング条件によるエッチバック法や研磨法、あるいはこれらの方法の組合せによって行えばよい。また、導電材料層の全面に形成された段階でマスク材料層の表面が略平坦でない場合は、マスク材料層の除去を研磨法によって行えばよい。尚、抵抗体層の表面に開口部の上端面と底面との間の段差を反映した凹部を形成するためには、ステップカバレッジ(段差被覆性)に優れた製膜方法で抵抗体層を形成することが好ましい。かかる製膜方法としては、CVD法が特に好適である。

【0028】第1Aの態様に係る製造方法におけるマスク材料層は、次の工程(ト)におけるエッチング速度が導電材料層のエッチング速度よりもエッチング速度を遅く設定し得る材料であって、且つ表面を平坦にできるよう、形成の適当な段階で流動性を持ち得る材料により構成される。マスク材料層を構成する材料として、例えば、レジスト材料やSOG(スピン・オン・ガラス)、ポリイミド系樹脂を挙げることができ、これらの材料はスピンコート法により簡便に塗布することができる。あるいは、BPSG(ホウ素/リン・シリケート・ガラス)のように、製膜後に加熱リフローを行って表面を平

坦化できる材料であってもよい。

【0029】本発明の第1Bの態様に係る製造方法は、マスク材料層により遮蔽される導電材料層の領域を、第1Aの態様に係る製造方法におけるよりも狭くすることを可能とする。即ち、本発明の第1Bの態様に係る製造方法は、工程(ホ)において、開口部の上端面と底面との間の段差を反映して、柱状部と該柱状部の上端に連通する拡大部とから成る略漏斗状の凹部を抵抗体層の表面に生成させ、続く工程(ヘ)において、柱状部内にマスク材料層を形成することを特徴とする。工程(ヘ)において先ず抵抗体層の全面にマスク材料層を形成する場合、第1Bの態様に係る製造方法は、柱状部内にマスク材料層を残す手法の相違によって、更に2通りの方法に分けることができる。即ち、(1)マスク材料層と抵抗体層とを支持体の表面に対して平行な面内で除去することにより、凹部にマスク材料層を残す方法、及び、(2)抵抗体層上及び拡大部内のマスク材料層を除去することにより、柱状部内のみマスク材料層を残す方法である。(1)の方法は、マスク材料層と抵抗体層のエッチング速度とが等しくなる条件によるエッチバック法か、あるいは研磨法により可能である。また、(2)の方法は、抵抗体層をエッチングせず、マスク材料層のみをエッチングし得るエッチング種を用いたドライエッチング又はウェットエッチングにより可能である。

【0030】第1Bの態様に係る製造方法において、抵抗体層の表面に略漏斗状の凹部を生成させるためには、開口部の壁面からほぼ垂直に成長する抵抗体層の表面が該開口部のほぼ中央部で接触する手前で抵抗体層の形成を停止すればよい。例えば、開口部が円柱形であれば、導電材料層の厚さは該開口部の半径よりも小さく設定する必要がある、よって円柱形の柱状部が形成される。このときの柱状部の直径は、開口部の直径の概ね5～30%、より好ましくは概ね5～10%の範囲に選択するとよい。また、上述のような形状を有する凹部を形成するためには、開口部の壁面からあらゆる方向にほぼ等しい速度で薄膜成長が進行するような形成方法で抵抗体層を形成することが望ましい。かかる観点から、CVD法は抵抗体層の形成方法として特に好ましい。CVD法が蒸着法に比べて有利な点は、製膜速度が速いのでスループットを大幅に改善できる可能性がある点、及び、1地点に置かれた蒸発源から飛来する蒸着粒子を堆積させる蒸着法とは異なり、CVD法では製膜雰囲気中に存在する原料ガスに接触する地点であれば、如何なる地点であっても製膜が進行し得ることから、大面積の被製膜体全面に互って均一な膜厚とカバレッジをもって製膜を行うことが比較的容易な点にある。

【0031】第1Bの態様に係る製造方法の(1)あるいは(2)のいずれの方法においても、最終的には開口部のほぼ中央部のごく狭い領域(即ち、柱状部)に残された微小なマスク材料層がエッチバック・プロセスのマ

スクとして機能するため、形成される抵抗体層の先端部は一層先鋭化される。但し、かかる微小なマスク材料層は、十分なエッチング耐性を備えていることが必要である。一般的には、マスク材料層のエッチング速度を R_2 、抵抗体層のエッチング速度を R_1 としたとき、 $10R_2 \leq R_1$ の関係が満足されることが好ましい。即ち、マスク材料層のエッチング速度 R_2 は、抵抗体層のエッチング速度 R_1 に比べて概ね10分の1、あるいはそれ以下であることが好ましい。例えば、抵抗体層がポリシリコンから成る場合、マスク材料層としては銅(Cu)、金(Au)あるいは白金(Pt)の少なくともいずれかを使用することができる。

【0032】第1Bの態様に係る製造方法において抵抗体層の全面にマスク材料層を形成する際には、狭い柱状部の内部へもマスク材料層を入り込ませることが可能な製膜方法を採用する必要がある。電解めっき法や無電解めっき法は、好ましい方法である。スパッタ法やCVD法を採用する場合は、ステップカバレッジを改善するための工夫を施すことが特に好ましい。例えば、スパッタ法を採用する場合は、概ね300°C以上の製膜温度で所謂高温リフロースパッタを行うか、あるいは高压スパッタを行うことが望ましい。また、CVD法を採用する場合は、バイアスECR(電子サイクロトロン共鳴)プラズマ装置を用いることが望ましい。

【0033】本発明の第1の態様に係る製造方法の工程(チ)において、抵抗体層の先端部上に、該抵抗体層を構成する材料よりも仕事関数の小さい導電材料から成り、且つ、該先端部の錐状形状を反映した電子放出部を形成する手法としては、蒸着法、CVD法、スパッタリング法、イオンプレーティング法等の気相薄膜形成法、あるいは電解めっき法や無電解めっき法等の液相薄膜形成法を例示することができる。但し、選択気相成長法や選択めっき法のように抵抗体層の先端部のみに選択的に電子放出部が形成されるような手法を用いる場合以外は、これらの薄膜形成法では、被製膜体の全面に導電材料から成る薄膜(以下、導電薄膜と称する)が形成される。従って、例えば、薄膜形成時に被製膜体の表面にゲート電極あるいは収束電極が露出している場合には、導電薄膜によってゲート電極同士、あるいは収束電極同士が短絡されないような工夫を施す必要がある。短絡を防止するための工夫としては、(1)導電薄膜の製膜前にゲート電極あるいは収束電極をマスク層で被覆しておき、マスク層上に形成された導電材料層を該マスク層と共に除去(リフトオフ)するか、(2)導電薄膜を製膜した後、電子放出部をマスク層で保護し、ゲート電極上あるいは収束電極上の導電薄膜を除去するか、又は、(3)ゲート電極あるいは収束電極を構成する材料層をパターニングせずに全面に形成しておき、導電薄膜を製膜した後に、ゲート電極あるいは収束電極を構成する材料と導電材料層とを一緒にパターニングすることが挙げ

られる。

【0034】本発明の第2の態様に係る電界放出素子の製造方法(以下、第2の態様に係る製造方法と称する)は、例えば従来技術の欄で説明した特開平5-47396号公報に記載された電界放出素子と類似の構成を有する電界放出素子を、遥かに優れた精度、製造歩留まり、信頼性をもって低コストにて製造し得る方法である。即ち、本発明の第2の態様に係る製造方法は、(イ)支持体上にカソード電極を形成する工程と、(ロ)カソード電極上を含む支持体上に絶縁層を形成する工程と、(ハ)絶縁層上にゲート電極を形成する工程と、(ニ)底部にカソード電極が露出した開口部を、少なくとも絶縁層に形成する工程と、(ホ)開口部の底部を抵抗体層で埋め込む工程と、(ヘ)開口部の残部を含む全面に電子放出部形成用の導電材料層を形成する工程と、(ト)開口部の中央部に位置する導電材料層の領域を遮蔽するように、マスク材料層を導電材料層上に形成する工程と、(チ)導電材料層の支持体に対して垂直な方向におけるエッチング速度がマスク材料層の支持体に対して垂直な方向におけるエッチング速度よりも速くなる異方性エッチング条件下で導電材料層とマスク材料層とをエッチングすることにより、導電材料層から成り、且つ、先端部が錐状形状を有する電子放出部を抵抗体層上に形成する工程、から成ることを特徴とする。

【0035】本発明の第2の態様に係る製造方法において、電子放出部は全体的に錐状形状を有していても、あるいは先を削った鉛筆のように先端部のみが錐状形状を有していてもよい。また、錐状形状には、円錐形状あるいは角錐形状が包含される。いかなる錐状形状が達成されるかは、後述する製法上の理由により、開口部の平面形状に依存する。即ち、開口部の平面形状が円形であれば、抵抗体層の少なくとも先端部はほぼ円錐形状となり、開口部の平面形状が矩形であれば、ほぼ角錐形状となる。

【0036】本発明の第2の態様に係る製造方法では、工程(ホ)において、電気抵抗率が $1.0\text{ k}\Omega \cdot \text{cm}$ 乃至 $10\text{ M}\Omega \cdot \text{cm}$ の範囲にある材料を用いて抵抗体層を形成することが好ましい。工程(ホ)では、開口部内を含む全面にかかる抵抗体層を形成した後、抵抗体層をエッチングして開口部の底部を抵抗体層で埋め込むことが好ましい。あるいは又、抵抗体層の表面を平坦化したい場合には、工程(ホ)において、開口部内を含む全面に抵抗体層を形成し、更に抵抗体層の全面に平坦化層を表面が略平坦となるように形成し、平坦化層と抵抗体層のエッチング速度が略等しくなる条件下でこれら両層をエッチングすることにより、開口部の底部を上面が平坦な抵抗体層で埋め込むことができる。

【0037】本発明の第2の態様に係る製造方法では、工程(ニ)において、カソード電極の表面を基準とした壁面の傾斜角 θ_1 を有する開口部を絶縁層に形成し、続

く工程(チ)において、カソード電極の表面を基準とした斜面の傾斜角 θ_2 が $\theta_1 < \theta_2 < 90^\circ$ の関係を満たす錐状の電子放出部を形成することができる。工程(チ)は、前述したように一種のエッチバック・プロセスであるが、開口部の壁面がカソード電極の表面に対して垂直であると、該開口部の隅部に導電材料層のエッチング残渣が残る、エッチング条件に依っては、錐状の先端部を有する電子放出部とゲート電極とが該エッチング残渣により短絡する虞れがある。この短絡を避けるために、エッチング残渣が十分に除去されるまでエッチバックを長時間継続すると、今度は電子放出部の高さも同時に減少してしまい、これによってゲート電極の端部から電子放出部の先端部までの距離が長くなり、電子放出効率が低下してしまう。

【0038】然るに、開口部の壁面の傾斜角 θ_1 を上記のように規定すると、該壁面がカソード電極の表面に対して垂直である場合に比べ、壁面上の抵抗体層にエッチング種が入射し易くなる。エッチバック・プロセスでは通常、被エッチング物に対してエッチング種であるイオンがほぼ垂直に入射する異方性エッチング条件が採用されるので、エッチング種が入射し易くなることは、そのままエッチング時間の短縮につながり、短時間内に開口部の壁面が露出することを意味する。従って、開口部の抵抗体層の高さ、つまりは電子放出部の高さを減少させずに(電子放出効率を低下させることなく)、ゲート電極と電子放出部との短絡を防止することが可能となる。

【0039】絶縁層に開口部を形成する方法としては、異方性エッチング法が最も一般的であり、このエッチング法において、堆積性の反応副生成物によるエッチング速度の低下効果を利用することにより、開口部の壁面を傾斜させることができる。特に、絶縁層の構成材料として酸化シリコン系材料や窒化シリコン系材料等のシリコン化合物を想定した場合、エッチングガスとしては一般にフルオロカーボン系エッチングガスが用いられ、堆積性物質としてカーボン系ポリマーを利用することができる。かかるエッチング反応系においてカーボン系ポリマーの堆積量を増加させるためには、フルオロカーボン系エッチングガスの流量を増大させるか、カーボン系ポリマーの燃焼を促進する酸素系化学種の供給源となり得るエッチングガスの流量を減少させるか、ガス圧を高めてイオンの平均自由行程を短縮するか、プラズマ励起用のRFパワーを低下させるか、プラズマ励起用のRF電源の周波数を増大させて、イオン・スパッタ効果によるカーボン系ポリマーの除去を抑制するか、あるいは被エッチング物の温度を低下させることにより、カーボン系ポリマーの蒸気圧を低下させる、等の手段を講ずることができる。但し、カーボン系ポリマーの堆積量が多すぎると、実用的な速度でエッチングが進行しなくなるため、上記の手段はあくまでも実用的なエッチング速度を達成し得る範囲で講じられる必要がある。

【0040】本発明の第2の態様に係る製造方法も、前述の第1の態様にかかる製造方法と同様、工程(ヘ)のバリエーションによって、更に第2Aの態様と第2Bの態様に大別することができる。即ち、本発明の第2Aの態様に係る製造方法は、工程(ヘ)において、開口部の上端面と底面との間の段差を反映した凹部を電子放出部形成用の導電材料層の表面に生成させ、続く工程(ト)において、導電材料層の全面にマスク材料層を形成した後、マスク材料層を導電材料層の平坦面が露出するまで除去することにより、凹部にマスク材料層を残すことを特徴とする。前述の第1Aの態様に係る製造方法では、凹部を抵抗体層の表面に生成させたのに対し、第2Aの態様に係る製造方法では、凹部を導電材料層の表面に生成させた点が相違しているが、これら両製造方法におけるマスク材料層の種類、マスク材料層の形成方法、及びマスク材料層の除去方法は同様である。

【0041】本発明の第2Bの態様に係る製造方法は、マスク材料層により遮蔽される導電材料層の領域を、第2Aの態様に係る製造方法におけるよりも狭くすることを可能とする。即ち、本発明の第2Bの態様に係る製造方法は、工程(ヘ)において、開口部の上端面と底面との間の段差を反映して、柱状部と該柱状部の上端に連通する拡大部とから成る略漏斗状の凹部を電子放出部形成用の導電材料層の表面に生成させ、続く工程(ト)において、柱状部内にマスク材料層を形成することを特徴とする。工程(ヘ)において先ず導電材料層の全面にマスク材料層を形成する場合、第2Bの態様に係る製造方法は、柱状部内にマスク材料層を残す手法の相違によって、更に2通りの方法に分けることができる。即ち、

(1) マスク材料層と導電材料層とを支持体の表面に対して平行な面内で除去することにより、凹部にマスク材料層を残す方法、及び、(2) 導電材料層上及び拡大部内のマスク材料層を除去することにより、柱状部内のみマスク材料層を残す方法である。前述の第1Bの態様に係る製造方法では、凹部を抵抗体層の表面に生成させたのに対し、第2Bの態様に係る製造方法では、凹部を導電材料層の表面に生成させた点が相違しているが、これら両製造方法における凹部の形成方法、マスク材料層の種類、マスク材料層の形成方法、及びマスク材料層の除去方法は同様である。尚、係る凹部を形成する上で、工程(ヘ)においては、導電材料層をCVD法により形成することが特に好ましい。

【0042】第2Bの態様に係る製造方法の(1)あるいは(2)のいずれの方法においても、最終的には開口部のほぼ中央部のごく狭い領域(即ち、柱状部)に残された微小なマスク材料層がエッチバック・プロセスのマスクとして機能するため、形成される電子放出部の先端部は一層先鋭化される。但し、かかる微小なマスク材料層は、十分なエッチング耐性を備えていることが必要である。一般的には、マスク材料層のエッチング速度をR

2、導電材料層のエッチング速度を R_3 としたとき、 $10R_2 \leq R_3$ の関係が満足されることが好ましい。即ち、マスク材料層のエッチング速度 R_2 は、導電材料層のエッチング速度 R_3 に比べて概ね10分の1、あるいはそれ以下であることが好ましい。例えば、導電材料層がタングステン(W)、チタン(Ti)、ニオブ(Nb)、モリブデン(Mo)、タンタル(Ta)、クロム(Cr)あるいはこれらの化合物(例えばTiN等の窒化物や、 WSi_2 、 $MoSi_2$ 、 $TiSi_2$ 、 $TaSi_2$ 等のシリサイド)から成る場合、マスク材料層としては銅(Cu)、金(Au)あるいは白金(Pt)の少なくともいずれかを使用することができる。

【0043】尚、本発明の第2の態様に係る製造方法においては、製造プロセス中における電子放出部形成用の導電材料層と絶縁層との密着性を向上させ、導電材料層が良好なステップカバレッジをもって製膜されるよう、密着層を形成してもよい。即ち、工程(へ)において、電子放出部形成用の導電材料層を形成する前に、開口部の残部を含む全面に密着層を形成することができる。この方法を、本発明の第2Cの態様に係る製造方法と称する。密着層としては、通常の半導体プロセスにおいて所謂バリアメタルとして用いられている層を利用することができ、単一の種類の材料層であっても、複数の種類の材料層が組み合わせられた複合層であってもよい。

【0044】第2Cの態様に係る製造方法では、工程(チ)において、導電材料層のエッチング速度と密着層のエッチング速度とがマスク材料層のエッチング速度よりも速くなる異方性エッチング条件下で導電材料層とマスク材料層と密着層とをエッチングすることが好適である。導電材料層等と密着層に関しては、同一のエッチング条件下においてほぼ同程度のエッチング速度で除去され得るか、あるいは導電材料層等のエッチング速度 R_3 の方が速いとしても、密着層のエッチング速度 R_4 の5倍以内に選択する($R_4 \leq R_3 \leq 5R_4$)ことが特に好ましい。これは、導電材料層等のエッチングが進行して被エッチング面の大部分に密着層が露出し、該密着層のエッチング反応生成物が大量に発生してその一部が導電材料層等の表面に付着した場合、このエッチング反応生成物の蒸気圧が余り低いと、該エッチング反応生成物自体がエッチング・マスクとして機能してしまい、導電材料層等のエッチングを妨げる虞れが大きいためである。最も単純には、導電材料層等と密着層とを同一の導電材料にて構成すれば、両層のエッチング速度をほぼ同一とすることができる。但し、導電材料層等と密着層とを同一の導電材料にて構成する場合、密着層をスパッタ法により形成し、導電材料層等をCVD法によって形成することが特に好ましい。電子放出部形成用の導電材料層と密着層とが同一の導電材料から成る場合には、概ね $R_3 = R_4$ とすることができる。

【0045】第2Aの態様乃至第2Cの態様に係る製造

方法においては、開口部の上端面と底面との間の段差を反映した凹部を導電材料層の表面に生成させる必要から、該導電材料層をステップカバレッジ(段差被覆性)に優れたCVD法により形成することが特に好ましい。

【0046】本発明の第3の態様に係る製造方法も、例えば従来技術の欄で説明した特開平5-47396号公報に記載された電界放出素子と類似の構成を有する電界放出素子を、遥かに優れた精度、製造歩留まり、信頼性をもって低コストにて製造し得る方法である。即ち、本発明の第3の態様に係る製造方法は、(イ)表面に抵抗体層を有するカソード電極を支持体上に形成する工程と、(ロ)カソード電極上を含む支持体上に絶縁層を形成する工程と、(ハ)絶縁層上にゲート電極を形成する工程と、(ニ)底部に抵抗体層が露出した開口部を、少なくとも絶縁層に形成する工程と、(ホ)開口部内を含む全面に電子放出部形成用の導電材料層を形成する工程と、(ヘ)開口部の中央部に位置する導電材料層の領域を遮蔽するように、マスク材料層を導電材料層上に形成する工程と、(ト)導電材料層の支持体に対して垂直な方向におけるエッチング速度がマスク材料層の支持体に対して垂直な方向におけるエッチング速度よりも速くなる異方性エッチング条件下で導電材料層とマスク材料層とをエッチングすることにより、導電材料層から成り、先端部が錐状形状を有する電子放出部を抵抗体層上に形成する工程、から成ることを特徴とする。

【0047】本発明の第3の態様に係る製造方法では、工程(イ)において、カソード電極の形成位置と抵抗体層の形成位置とは、完全に一致していても、若干ずれていても構わない。但し、若干ずれている場合には、抵抗体層が別の画素を構成するカソード電極同士を短絡させてはならず、また、電子放出部とカソード電極とを直接接触させてはならない。両者の形成位置を完全に一致させるためには、カソード電極を構成する材料層と抵抗体層を構成する材料層との積層体を形成し、この積層体を共通の加工マスクを用いてパターニングすることが最も簡便である。これに対し、カソード電極のパターニングと抵抗体層のパターニングとをそれぞれ別工程で行う場合には、アライメント精度にもよるが、両者の形成位置は若干ずれるのが普通である。

【0048】本発明の第3の態様に係る製造方法では、工程(イ)において、電気抵抗率が $1.0k\Omega \cdot cm$ 乃至 $10M\Omega \cdot cm$ の範囲にある材料を用いて抵抗体層を形成することが好ましい。

【0049】本発明の第3の態様に係る製造方法では、工程(ニ)において、カソード電極の表面を基準とした壁面の傾斜角 θ_1 を有する開口部を絶縁層に形成し、続く工程(ト)において、カソード電極の表面を基準とした斜面の傾斜角 θ_2 が $\theta_1 < \theta_2 < 90^\circ$ の関係を満たす錐状の電子放出部を形成することができる。

【0050】本発明の第3の態様に係る製造方法も、前

述の第1の態様にかかる製造方法と同様、工程（ホ）のバリエーションによって、更に第3Aの態様と第3Bの態様に大別することができる。即ち、本発明の第3Aの態様に係る製造方法は、工程（ホ）において、開口部の上端面と底面との間の段差を反映した凹部を電子放出部形成用の導電材料層の表面に生成させ、続く工程（ヘ）において、導電材料層の全面にマスク材料層を形成した後、マスク材料層を導電材料層の平坦面が露出するまで除去することにより、凹部にマスク材料層を残すことを特徴とする。第3Aの態様に係る製造方法において、マスク材料層の種類、マスク材料層の形成方法、及び、マスク材料層の除去方法については、第1Aの態様に係る製造方法に関連して述べた通りである。

【0051】本発明の第3Bの態様に係る製造方法は、マスク材料層により遮蔽される導電材料層の領域を、第3Aの態様に係る製造方法におけるよりも狭くすることを可能とする。即ち、本発明の第3Bの態様に係る製造方法は、工程（ホ）において、開口部の上端面と底面との間の段差を反映して、柱状部と該柱状部の上端に連通する拡大部とから成る略漏斗状の凹部を電子放出部形成用の導電材料層の表面に生成させ、続く工程（ヘ）において、柱状部内にマスク材料層を形成することを特徴とする。工程（ホ）において先ず導電材料層の全面にマスク材料層を形成する場合、第3Bの態様に係る製造方法は、柱状部内にマスク材料層を残す手法の相違によって、更に2通りの方法に分けることができる。即ち、

（1）マスク材料層と導電材料層とを支持体の表面に対して平行な面内で除去することにより、凹部にマスク材料層を残す方法、及び、（2）導電材料層上及び拡大部内のマスク材料層を除去することにより、柱状部内のみマスク材料層を残す方法である。第3Bの態様に係る製造方法において、マスク材料層の種類、マスク材料層の形成方法、マスク材料層の除去方法、及び、導電材料層とマスク材料層のエッチング速度の関係については、第2Bの態様に係る製造方法に関連して述べた通りである。

【0052】尚、本発明の第3の態様に係る製造方法においては、製造プロセス中における電子放出部形成用の導電材料層と絶縁層との密着性を向上させ、導電材料層が良好なステップカバレッジをもって製膜されるよう、密着層を形成してもよい。即ち、工程（ホ）において、電子放出部形成用の導電材料層を形成する前に、開口部の残部を含む全面に密着層を形成することができる。この方法を、本発明の第3Cの態様に係る製造方法と称する。第3Cの態様に係る製造方法において、密着層の種類、導電材料層と密着層のエッチング速度の関係については、第2Cの態様に係る製造方法に関連して述べた通りである。

【0053】第3Aの態様乃至第3Cの態様に係る製造方法においては、開口部の上端面と底面との間の段差を

反映した凹部を導電材料層の表面に生成させる必要から、該導電材料層をステップカバレッジ（段差被覆性）に優れたCVD法により形成することが特に好ましい。

【0054】本発明の電界放出素子及び表示装置、並びに、本発明のあらゆる態様に係る製造方法において、電界放出素子を構成する支持体は、少なくとも表面が絶縁性部材より構成されていればよく、ガラス基板、表面に絶縁膜が形成されたガラス基板、石英基板、表面に絶縁膜が形成された石英基板、表面に絶縁膜が形成された半導体基板を用いることができる。

【0055】本発明の表示装置において、基板は、少なくとも表面が絶縁性部材より構成されていればよく、ガラス基板、表面に絶縁膜が形成されたガラス基板、石英基板、表面に絶縁膜が形成された石英基板、表面に絶縁膜が形成された半導体基板を用いることができる。

【0056】絶縁層の構成材料としては、 SiO_2 、 SiN 、 SiON 、ガラス・ペースト硬化物を単独あるいは適宜積層して使用することができる。絶縁層の製膜には、CVD法、塗布法、スパッタ法、印刷法等の公知のプロセスが利用できる。

【0057】ゲート電極、カソード電極及び収束電極は、タングステン（W）、ニオブ（Nb）、タンタル（Ta）、チタン（Ti）、モリブデン（Mo）、クロム（Cr）、アルミニウム（Al）、銅（Cu）、銀（Au）等の金属層、又はこれらの金属元素を含む合金層、又はこれらの金属元素を含む化合物（例えば TiN 等の窒化物や、 WSi_2 、 MoSi_2 、 TiSi_2 、 TaSi_2 等のシリサイド）、あるいはダイヤモンド等の半導体層を用いて形成することができる。ただし、本発明では抵抗体層や電子放出部をエッチングにより形成する際に、これらの電極が露出する場合があるため、抵抗体層や電子放出部を構成する材料に対してエッチング選択比を確保できる材料を選択する必要がある。

【0058】電子放出部、あるいは電子放出部形成用の導電材料層は、タングステン（W）、ニオブ（Nb）、タンタル（Ta）、チタン（Ti）、モリブデン（Mo）、クロム（Cr）、アルミニウム（Al）、銅（Cu）、銀（Au）等の金属層、又はこれらの金属元素を含む合金層、又はこれらの金属元素を含む化合物（例えば TiN 等の窒化物や、 WSi_2 、 MoSi_2 、 TiSi_2 、 TaSi_2 等のシリサイド）、あるいはダイヤモンド等の半導体層を用いて形成することができる。

【0059】

【発明の実施の形態】以下、図面を参照して、発明の実施の形態（以下、実施の形態と略称する）に基づき本発明を説明する。

【0060】（実施の形態1）実施の形態1は、本発明の電界放出素子、かかる電界放出素子を備えた本発明の表示装置、及び本発明の第1Aの態様に係る電界放出素子の製造方法に関する。実施の形態1の電界放出素子の

模式的な部分端面図を図1に示し、表示装置の模式的な部分端面図を図2に示す。更に、電界放出素子の製造方法を図3乃至図6に示す。

【0061】この電界放出素子においては、図1に示すように、例えばガラス基板から成る支持体10上に、クロム(Cr)から成るカソード電極11が形成されている。実際には、カソード電極11は複数の帯状の層として支持体10上に所定の方向に配列されている。カソード電極11上を含む支持体10上には、例えば SiO_2 から成る絶縁層12が形成され、この絶縁層12上には、例えばクロムから成るゲート電極13が形成されている。実際には、ゲート電極13は絶縁層12上に帯状に複数設けられ、且つ、所定の方向に配列されている。ゲート電極13の配列の方向は、一般にカソード電極11の配列の方向と直交する方向である。ゲート電極13と絶縁層12には、これら両部材を貫通する開口部14が設けられ、絶縁層12に設けられた開口部の側壁面はゲート電極13の開口端部よりも後退している。開口部14の底部に位置するカソード電極11上には、抵抗体層15eが形成されている。抵抗体層15eの先端部は錐形状、具体的には円錐形状を有しており、該先端部よりもカソード電極11寄りの抵抗体層15eの部分は、開口部14を埋め込んでいる。従って、抵抗体層15eは、全体として先を削った鉛筆様の形状を有している。抵抗体層15eは、例えば不純物として燐(P)を $10^{19}/\text{cm}^3$ のオーダーの濃度で含むポリシリコンから成り、電気抵抗率は $1.0\text{ k}\Omega\cdot\text{cm}$ である。抵抗体層15eの先端部上には、電子放出部17eが形成されている。電子放出部17eは、抵抗体層15eを構成する上記ポリシリコンよりも仕事関数の小さい材料、より具体的には、タングステン(W)により構成されている。電子放出部17eの厚さは約 $0.01\mu\text{m}$ であり、抵抗体層15eの先端部の錐形状を反映するように形成されている。

【0062】尚、図1には、ゲート電極13上に導電薄膜17が図示されているが、この導電薄膜17は、電子放出部17eと同一の材料から構成され、電子放出部17eの形成に伴って形成された層である。ゲート電極13上の導電薄膜17を、電子放出部17eの形成後に適当な方法にて除去しても構わないが、ここでは、ゲート電極13とほぼ同様の形状にパターニングすることによって、ゲート電極13同士の短絡を防止可能な構成が採られている。

【0063】実施の形態1の表示装置は、上述の電界放出素子を適用した装置であり、図2に示すように、複数の画素から構成されている。各画素は、上述の電界放出素子の複数個と、これらに対向配置して基板160上に設けられたアノード電極162及び蛍光体層161から成る。アノード電極162はアルミニウムから成り、ガラスから成る基板160の上に所定のパターンをもって

形成された蛍光体層161を被覆するように形成されている。基板160上における蛍光体層161とアノード電極162の積層順を上記と逆にしても構わないが、この場合は、表示装置の観察面側から見てアノード電極162が蛍光体層161の手前に来るため、アノード電極162をITO(インジウム・錫酸化物)等の透明導電材料にて構成する必要がある。

【0064】実際の表示装置の構成においては、電界放出素子はカソード・パネルCP、アノード電極162及び蛍光体層161はアノード・パネルAPの構成要素であり、これらカソード・パネルCPとアノード・パネルAPとが枠体(図示せず)を介して接合され、両パネルと枠体とに囲まれた空間が高真空に排気されている。電子放出部17eにはカソード電極11及び抵抗体層15eを通じて走査回路163から相対的に負電圧が印加され、ゲート電極13には制御回路164から相対的に正電圧が印加され、アノード電極162にはゲート電極13よりも更に高い正電圧が加速電源165から印加される。表示装置において表示を行う場合、制御回路164にはビデオ信号、走査回路163には走査信号が入力される。カソード電極11とゲート電極13とに電圧を印加した際に生ずる電界により、電子放出部17eの先端部から電子eが引き出される。この電子eが、アノード電極162に引き付けられて蛍光体層161に衝突すると、蛍光体層161が発光し、所望の画像を得ることができる。

【0065】以下、実施の形態1に係る電界放出素子の製造方法を、図3～図6を参照して説明する。

【0066】【工程100】先ず、一例としてガラス基板上に厚さ約 $0.6\mu\text{m}$ の SiO_2 層を形成して成る支持体10上に、クロム(Cr)から成るカソード電極11を設ける。具体的には、支持体10上に、例えばスパッタ法にてクロム層を堆積させ、かかるクロム層をパターニングすることによって、行方向に平行に延びる帯状の複数のカソード電極11を形成することができる。カソード電極11の幅を例えば $50\mu\text{m}$ 、電極間スペースを例えば $30\mu\text{m}$ とする。クロム層のスパッタ条件の一例を下記の表1に示し、クロム層のパターニングを例えばRIE(反応性イオン・エッチング)法で行う場合のRIE条件の一例を下記の表2に示す。

【0067】[表1]

Ar 流量	: 100 SCCM
圧力	: 5 Pa
DC パワー	: 2 kW
スパッタ 温度	: 200 °C

【0068】[表2]

Cl_2 流量	: 100 SCCM
O_2 流量	: 100 SCCM
圧力	: 0.7 Pa
RF パワー	: 0.8 kW (13.56 MHz)

エッチング温度：60°C

【0069】次に、カソード電極11上を含む支持体10上に、SiO₂から成る絶縁層12をプラズマCVD法にて形成する。原料ガスとしてTEOS（テトラエトキシシラン）を使用する場合のCVD条件の一例を、下記の表3に示す。絶縁層12の厚さを約1μmとする。

【0070】【表3】

TEOS流量：800SCCM

O₂流量：600SCCM

圧力：1100Pa

RFパワー：0.7kW（13.56MHz）

製膜温度：40°C

【0071】次に、絶縁層12上にゲート電極13を形成する。具体的には、絶縁層12上に、例えばDCスパッタ法によって窒化チタン（TiN）層を堆積させ、該TiN層をパターニングすることによって、列方向（即ち、行方向と直交する方向）に平行に延びる帯状の複数のゲート電極13を形成することができる。ゲート電極13の幅を例えば50μm、電極間スペースを例えば30μmとする。TiN層のDCスパッタ条件の一例を下記の表4に示し、TiN層のパターニングを例えばRIE法で行う場合のRIE条件の一例を下記の表5に示す。

【0072】【表4】

Ar流量：30SCCM

N₂流量：60SCCM

圧力：0.67Pa

DCパワー：3kW

スパッタ温度：200°C

【0073】【表5】

Cl₂流量：150SCCM

Ar流量：90SCCM

圧力：35Pa

RFパワー：0.7kW（13.56MHz）

【0074】次に、カソード電極11とゲート電極13との重複領域、即ち1画素領域において、ゲート電極13と絶縁層12とを貫通する開口部14を形成する。開口部14の平面形状は、直径0.3μmの円形である。この開口部14は、通常、1画素領域に500～5000個程度形成される。開口部14を形成するには、通常の写真リソグラフィ技術により形成されたレジスト層をマスクとして、まず、塩素系のエッチングガスを用いたRIE（反応性イオン・エッチング）法によりゲート電極13に開口部を形成し、続いて、フルオロカーボン系のエッチングガスを用いたRIE法により絶縁層12に開口部を形成する。ゲート電極13に開口部14を形成する際のRIE条件は、表5に示した通りでよい。絶縁層12に開口部14を形成する際のRIE条件の一例を、下記の表6に示す。RIE終了後のレジスト層は、アッシングにより除去する。アッシング条件の一例を、

下記の表7に示す。このようにして、図3の（A）に示す構造を得ることができる。

【0075】【表6】

C₄F₈流量：30SCCM

CO流量：70SCCM

Ar流量：300SCCM

圧力：7.3Pa

RFパワー：1.3kW（13.56MHz）

エッチング温度：20°C

【0076】【表7】

O₂流量：1200SCCM

圧力：75Pa

RFパワー：1.3kW（13.56MHz）

アッシング温度：300°C

【0077】【工程-110】次に、図3の（B）に示すように、開口部14内を含む全面に抵抗体層15を形成する。ここでは、抵抗体層15として、厚さ約0.4μmのポリシリコン層を減圧CVD法により成膜する。成膜条件を下記の表8に例示する。この条件では、成膜雰囲気中にドーパント・ガスとしてPH₃が含まれており、成膜と同時に不純物である磷（P）が約10¹⁹/cm³のオーダーの濃度で導入される。また、この時、成膜された抵抗体層15の表面には、開口部14の上端面と底面との間の段差を反映した凹部15Aが形成される。成膜終了後に、炉アニール又は短時間アニール（RTA）を行い、不純物を活性化させる。ここでは、600°Cでアニールを行い、電気抵抗率を約1.0kΩ・cmのオーダーとする。この温度では、支持体10を構成するガラスや、カソード電極11を構成するクロムの耐熱性に何ら問題はない。

【0078】【表8】

SiH₄流量：300SCCM

PH₃流量：15SCCM

He流量：50SCCM

圧力：350Pa

成長温度：550°C

【0079】【工程-120】次に、図4の（A）に示すように、抵抗体層15の全面にスピコート法により厚さ約0.35μmのマスク材料層16を表面が略平坦となるように形成する。

【0080】【工程-130】続いて、図4の（B）に示すように、マスク材料層16を抵抗体層15の平坦面が露出するまでRIE法でエッチングすることにより、凹部15A内にマスク材料層16を残す。RIE条件を下記の表9に例示する。このマスク材料層16は、抵抗体層15の凹部15Aを吸収し、ほぼ平坦な表面を達成しており、また、開口部14の中央部に位置する抵抗体層15の領域を遮蔽するように形成されている。

【0081】【表9】

Ar流量：50SCCM

O₂流量 : 80 SCCM
圧力 : 26.7 Pa
RFパワー : 120W (13.56MHz)

【0082】 [工程-140] 次に、図5の(A)に示すように、抵抗体層15をエッチングする。エッチング

[表10]

エッチング装置	: RFバイアス印加型ECRエッチング装置
Cl ₂ 流量	: 120 SCCM
O ₂ 流量	: 4 SCCM
圧力	: 4 Pa
マイクロ波パワー	: 1.2 kW (2.45GHz)
RFバイアス・パワー	: 70W (2MHz)
エッチング温度	: 20°C

【0084】 [工程-150] 次に、図5の(B)に示すように、抵抗体層15eの先端部上に電子放出部17eを形成する。ここでは、例えば厚さ約0.01μmのタングステン層をスパッタ法により製膜し、導電薄膜17を形成する。タングステン層を成膜するためのスパッタ条件の一例を、下記の表11に示す。スパッタ法では、被製膜体の表面への製膜種の入射方向を支持体10に対してほぼ垂直な方向に揃えることができ、これによって開口部14の側壁面には導電材料層を堆積させることなく、ゲート電極13上を含む絶縁層12上と、抵抗体層15eの先端部上のみ、導電薄膜17が形成される。導電薄膜17の中で、抵抗体層15eの先端部に形成された部分が、電子放出部17eとして機能する。ゲート電極13上を含む絶縁層12上に形成された導電薄膜17は、隣り合うゲート電極13同士が短絡しないように、ゲート電極13上の部分を残して除去する。

【0085】 [表11]

Ar流量 : 200 SCCM
圧力 : 0.67 Pa
DCパワー : 3 kW
スパッタ温度 : 200°C

【0086】 この後、等方的なエッチング条件で開口部14の内部において絶縁層12に設けられた開口部の側壁面を後退させると、図1に示した電界放出素子が完成される。等方的なエッチングは、ケミカルドライエッチングのようにラジカルを主エッチング種として利用するドライエッチング、或いはエッチング液を利用するウェットエッチングにより行うことができる。エッチング液としては、例えば49%フッ酸水溶液と純水の1:100(容積比)混合液を用いることができる。尚、絶縁層12の等方的なエッチングは、前述のスパッタ法によるタングステン層の製膜前に行ってもよい。

【0087】 次に、かかる電界放出素子が多数形成されたカソード・パネルCPをアノード・パネルAPと組み合わせることにより、表示装置を作製する。具体的には、セラミックスやガラスから作製された高さ約1mmの枠体を用意し、枠体とアノード・パネルAP、及び枠

条件を下記の表10に例示する。このエッチングは、抵抗体層15のエッチング速度がマスク材料層16のエッチング速度よりも速くなる異方性エッチング条件下で行う。

【0083】

体とカソード・パネルCPとの間にフリットガラスから成るシール材を塗布しておき、かかるシール材を乾燥した後、約450°Cで10~30分焼成すればよい。この後、表示装置の内部を10⁻⁴Pa程度の真空度となるまで排気し、適当な方法で封止する。

【0088】 ここで、[工程-140]において、先端部が錐形状を有する抵抗体層15eが形成される機構について、図6を参照して説明する。図6の(A)は、エッチングの進行に伴って、被エッチング物の表面プロファイルが一定時間毎にどのように変化するかを示す模式図であり、図6の(B)は、エッチング時間と開口部中心における被エッチング物の厚さとの関係を示すグラフである。開口部中心におけるマスク材料層の厚さをh₁、開口部中心における抵抗体層の高さをh₂とする。

【0089】 表10に示したエッチング条件では、レジスト材料から成るマスク材料層16のエッチング速度よりも、抵抗体層15のエッチング速度の方が当然速い。マスク材料層16が存在しない領域では、抵抗体層15が直ちにエッチングされ始め、被エッチング物(ここでは抵抗体層15)の表面が速やかに下降してゆく。これに対し、マスク材料層16が存在する領域では、先ずこのマスク材料層16が除去されないとその下の抵抗体層15のエッチングが始まらないので、マスク材料層16がエッチングされている間は被エッチング物(ここではマスク材料層16)の厚さの減少速度は遅く(h₁減少区間)、マスク材料層16が消失した時点で初めて、被エッチング物の厚さの減少速度がマスク材料層16の存在しない領域と同様に速くなる(h₂減少区間)。h₂減少区間の開始時期は、マスク材料層16が厚さが最大である開口部中心で最も遅く、マスク材料層16の薄い開口部周辺に向かって早くなる。このようにして、円錐形状の抵抗体層15eが形成される。

【0090】 ここで、エッチング・フロントを図6の(A)に黒丸で示す。この図に示す例では、マスク材料層16の最大径が開口部14の直径とほぼ一致しているため、エッチング・フロントはエッチングの進行につれて、ほぼ開口部14の内壁面に沿って下降してゆく。マ

スク材料層16の最大径が開口部14の直径と一致していない場合、例えばマスク材料層16の最大径が開口部14の直径よりも小さい場合は、エッチング・フロントは開口部の内壁面より内側の位置を下降することになる。開口部14の内部に残る抵抗体層15のうち、エッチング・フロントよりも上の部分を先端部と称する。本発明の電界放出素子は、カソード電極11と電子放出部17eとの間に抵抗体層15eを介在させ、各電子放出部17eの電子放出特性のばらつきを抑えることを趣旨としているので、電子放出部17eとカソード電極11との直接接触を確実に避けるために、エッチング・フロントがカソード電極11の表面に達する前にエッチングを停止することが重要である。

【0091】尚、抵抗体層15eの先端部の錐状形状は、マスク材料層16のエッチング速度に対する抵抗体層15のエッチング速度の比、即ち「対マスク選択比」によって変化する。対マスク選択比が大きい程、マスク材料層16の膜減りに比べて抵抗体層15の膜減りが激しくなるので、抵抗体層15eの先端部の斜面の傾斜角は大きくなる。ここで、本明細書中で述べる「傾斜角」とは全て、カソード電極11の表面を基準とする。マスク材料層16がレジスト材料から成る場合、前述の表10に示した条件において C_{12} 流量に対する O_2 流量の割合を高めると、対マスク選択比は低下する。また、基板バイアスを併用してイオンの入射エネルギーを変化させることが可能なエッチング装置を用いる場合には、RFバイアスパワーを高めたり、バイアス印加用の交流電源の周波数を下げることで、対マスク選択比を低下させることができる。実施の形態1における対マスク選択比の値は、1.5以上、好ましくは2以上、より好ましくは3以上に選択される。

【0092】尚、上記のエッチングにおいては当然、ゲート電極13に対して高い選択比を確保する必要があるが、表10に示した条件で全く問題はない。なぜなら、ゲート電極13を構成するタングステンは、塩素系のエッチング種では殆どエッチングされず、上記の条件であれば、概ね10以上の対タングステン選択比が得られるからである。

【0093】（実施の形態2）実施の形態2は、実施の形態1の変形である。実施の形態2の電界放出素子が実施の形態1の電界放出素子と相違する点は、ゲート電極上に更に第2絶縁層が形成され、第2絶縁層上に収束電極が形成されている点である。実施の形態2の電界放出素子の概念図を図7に示し、かかる電界放出素子を製造するための本発明の第1Aの態様に係る製造方法の工程図を、図8乃至図10に示す。尚、これらの図面の符号は図1と一部共通であり、共通部分については詳しい説明を省略する。

【0094】実施の形態2の電界放出素子は、図1に示した電界放出素子のゲート電極13上に第2絶縁層20

が形成され、第2絶縁層20上に例えばタングステン(W)から成る収束電極21が形成された構成を有する。収束電極21は、アノード電極とカソード電極との間の電位差が10~100Vのオーダーであって両電極間の距離が比較的長い、所謂高電圧タイプの表示装置において、電子放出部から放出された電子の軌道の発散を防止するために設けられた部材であり、収束電源（図示せず）から相対的な負電圧が印加される。放出電子軌道の収束性を高めることによって、画素間のクロストークが低減され、特にカラー表示を行う場合の色濁りを防止し、更に画素を微細化して表示画面の高精細度化を図ることが可能となる。収束電極21の先端部は、ゲート電極13の先端部よりも後退している。収束電極21の本来の目的は、カソード電極11に垂直な方向から大きく外れようとする電子の軌道のみを修正することであり、収束電極21の開口径が余り小さいと、電界放出素子の電子放出効率が低下してしまう虞がある。然るに、このように収束電極21の先端部がゲート電極13の先端部よりも後退していることは、電子放出を妨げずに必要な収束効果のみを得ることができる意味で、極めて好ましい。

【0095】収束電極21、第2絶縁層20、ゲート電極13及び絶縁層12には、これらを通ずる開口部24が設けられている。この開口部24の側壁面は、収束電極21、第2絶縁層20、ゲート電極13及び絶縁層12の各加工面により構成されている。また、第2絶縁層20に設けられた開口部の上端は収束電極21の先端部よりも後退し、絶縁層12に設けられた開口部の上端はゲート電極13の先端部よりも後退している。また、開口部24の開口径は深さ方向で一様ではなく、収束電極21の近傍では直径約0.5 μ m、ゲート電極13の近傍では直径0.35 μ mである。かかる開口部24の形状により、該開口部24内に効率よく所望の強度の電界が形成され得る構造となっている。開口部24の底部は、抵抗体層25eで埋め込まれ、該抵抗体層25eの先端部は錐状形状、具体的には円錐形状を有している。抵抗体層25eの先端部上には、電子放出部27eが上記錐状形状を反映して形成されている。抵抗体層25eと電子放出部27eの構成材料については、実施の形態1の抵抗体層15e及び電子放出部17eとそれぞれ同じとすることができる。

【0096】尚、図7には、ゲート電極13上と収束電極21上に導電薄膜27が図示されているが、この導電薄膜27は、電子放出部27eと同一の材料から構成され、電子放出部27eの形成に伴って形成された層である。ゲート電極13と収束電極21上の導電薄膜27を、電子放出部27eの形成後に適当な方法にて除去しても構わないが、特に収束電極21上の導電薄膜27については、収束電極21とほぼ同様の形状にパターニングすることによって、収束電極21同士の短絡を防止可

能な構成が採られている。

【0097】以下、実施の形態2に係る電界放出素子の製造方法について、図8乃至図10を参照して説明する。

【0098】[工程-200] 先ず、支持体10上にカソード電極11を形成する。カソード電極11は、クロム層を用いて、実施の形態1と同様に形成することができる。次に、支持体10とカソード電極11の上に、厚さ約0.7 μ mの絶縁層12を形成する。絶縁層12は、前述の表3に示した条件に従って形成することができる。次いで、絶縁層12上に、実施の形態1と同様にしてゲート電極13を形成する。

【0099】次に、SiO₂から成る厚さ約1 μ mの第2絶縁層20を、例えば前述の表3に示した条件に従い、CVD法で全面に形成する。更に、第2絶縁層20上の全面に厚さ約0.07 μ mのタングステン層を、例えば前述の表11に示した条件に従ってスパッタ法で製膜し、所定のパターニングを行って収束電極21を形成する。

【0100】[工程-210] 次に、収束電極21上を含む第2絶縁層20上に、所定のパターンを有するレジスト層22を形成し、このレジスト層22をマスクとして収束電極21、第2絶縁層20、ゲート電極13及び絶縁層12を順次エッチングする。このエッチングにより、図8の(B)に示すように、底部にカソード電極11が露出した円形の開口部24を形成することができる。ここで、収束電極21とゲート電極13のエッチングは、前述の表5の条件に従って行うことができる。また、第2絶縁層20及び絶縁層12のエッチングは、前述の表6に示した条件に従って行うことができる。

【0101】[工程-220] 次に、図9の(A)に示すように、レジスト層22を除去し、開口部24内を含む全面に、例えば前述の表8に示したCVD条件に従い、不純物含有ポリシリコンから成る抵抗体層25を形成する。抵抗体層25の表面には、開口部24の上端面と底面との間の段差を反映した凹部25Aが形成される。

【0102】[工程-230] 次に、図9の(B)に示すように、実施の形態1と同様にして、凹部25A内にマスク材料層26を残す。

【0103】[工程-240] 次に、抵抗体層25とマスク材料層26とをエッチングし、図10の(A)に示すように、先端部が円錐形状の抵抗体層25eを形成する。これらの層のエッチングは、実施の形態1の[工程-140]と同様に行うことができる。

【0104】[工程-250] 次に、図10の(B)に示すように、抵抗体層25eの先端部上に電子放出部27eを形成する。ここでは、例えば厚さ約0.01 μ mのタングステン層をスパッタ法により製膜し、導電薄膜27を形成する。タングステン層を成膜するためのスパ

ッタ条件の一例は、前述の表11に示した通りである。この工程では、ゲート電極13上と、収束電極21上を含む第2絶縁層20上と、抵抗体層15eの先端部上に導電薄膜27が形成される。導電薄膜27の中で、抵抗体層25eの先端部に形成された部分が、電子放出部27eとして機能する。更に、収束電極21上を含む第2絶縁層20上に形成された導電薄膜27を、収束電極21とほぼ同様の形状にパターニングする。

【0105】この後、等方的なエッチング条件で開口部24の内部において絶縁層12及び第2絶縁層20に設けられた開口部の側壁面を後退させると、図7に示した電界放出素子が完成される。等方的なエッチングについては、実施の形態1で前述した通りである。かかる電界放出素子を用いて、本発明の表示装置を構成することができる。表示装置を構成する方法は、実施の形態1で述べた方法と同様である。

【0106】(実施の形態3) 実施の形態3は、本発明の第1Bの態様に係る電界放出素子の製造方法に関する。実施の形態3の製造方法を図11乃至図14に示す。尚、これらの図面の符号は図1と一部共通であり、共通部分については詳しい説明を省略する。

【0107】[工程-300] 先ず、支持体10上にカソード電極11を形成する。カソード電極11は、TiN層(厚さ0.1 μ m)、Ti層(厚さ5nm)、Al-Cu層(厚さ0.4 μ m)、Ti層(厚さ5nm)、TiN層(厚さ0.02 μ m)及びTi層(0.02 μ m)をこの順に積層して積層体を形成し、続いてこの積層体をパターニングすることにより形成する。尚、図ではカソード電極11を単層として表した。積層体をスパッタ法により成膜する場合のスパッタ条件の一例を下記の表12に示し、積層体のパターニングをRIE法により行う場合のRIE条件の一例を下記の表13に示す。

【0108】[表12]

Ar 流量	: 30 S C C M
N ₂ 流量	: 60 S C C M (TiN層の製膜時のみ)
圧力	: 0.67 Pa
DC パワー	: 3 kW
スパッタ温度	: 200 ° C

【0109】[表13]

BCl ₃ 流量	: 30 S C C M
Cl ₂ 流量	: 70 S C C M
圧力	: 7 Pa
RF パワー	: 1.3 kW (13.56 MHz)
エッチング温度	: 60 ° C

【0110】次に、絶縁層12の形成、ゲート電極13の形成、開口部14の形成を実施の形態1と同様に行い、更に、開口部14内を含む全面に抵抗体層35を形成する。但し、実施の形態3における抵抗体層35は、実施の形態1で述べた凹部15Aよりも深い凹部35Aが表面に生成されるように、厚さを選択する。ここで

は、開口部14の直径0.6 μ mに対して抵抗体層35の厚さを0.25 μ mとすることにより、開口部14の上端面と底面との間の段差を反映して、柱状部35Bと該柱状部35Bの上端に連通する拡大部35Cとから成る略漏斗状の凹部35Aを抵抗体層35の表面に生成させる。ここまでのプロセスを終了した状態を、図11の(A)に示す。

【表14】

めっき液	: 硫酸銅 (CuSO ₄ · 5H ₂ O)	7g/リットル
	ホルマリン (37%HCHO)	20ml/リットル
	水酸化ナトリウム (NaOH)	10g/リットル
	酒石酸ナトリウムカリウム	20g/リットル

めっき浴温度: 50°C

【0113】【工程-320】次に、図12の(A)に示すように、マスク材料層36と抵抗体層35とを支持体10の表面に対して平行な面内で除去することにより、柱状部35Bにマスク材料層36を残す。この除去は、例えば下記の表15に例示される条件に従って化学

【表15】

ウェーハ押圧圧力	: 3.4 × 10 ⁴ Pa (= 5 psi)
定盤回転数	: 280 rpm
ウェーハ保持台回転数	: 16 rpm
スラリー流量	: 150 ml/分

【0115】【工程-330】次に、抵抗体層35のエッチング速度がマスク材料層36のエッチング速度よりも速くなる異方性エッチング条件下で、抵抗体層35とマスク材料層36とをエッチングする。このときのエッチング条件を、下記の表16に例示する。この結果、図12の(B)に示すように、開口部14内に、先端部が

【表16】

エッチング装置	: 有磁場マイクロ波プラズマエッチング装置
SF ₆ 流量	: 30 SCCM
Cl ₂ 流量	: 70 SCCM
Ar流量	: 500 SCCM
圧力	: 3 Pa
マイクロ波パワー	: 1.3 kW (2.45 GHz)
RFバイアスパワー	: 20 W (8 MHz)
エッチング温度	: -30°C

【0117】【工程-340】次に、図13の(A)に示すように、抵抗体層35eの先端部上に電子放出部37eを形成する。ここでは、例えば厚さ約0.01 μ mのタングステン層をスパッタ法により製膜し、導電薄膜37を形成する。タングステン層を成膜するためのスパッタ条件の一例は、前述の表11に示した通りである。この工程では、ゲート電極13上を含む絶縁層12上と抵抗体層35eに導電薄膜37が形成され、このうち、抵抗体層35eの先端部に形成された部分が導電薄膜37の部分が、電子放出部37eとなる。更に、ゲート電極13上を含む絶縁層12上に形成された導電薄膜37を、ゲート電極13とほぼ同様の形状にパターンニングす

【0111】【工程-310】次に、図11の(B)に示すように、抵抗体層35の全面にマスク材料層36を形成する。ここでは、一例として無電解めっき法により、厚さ約0.5 μ mの銅(Cu)層を形成する。無電解めっき条件の一例を、下記の表14に示す。

【0112】

機械研磨(CMP)法により行うことができる。尚、下記の条件中、「ウェーハ」という語を慣用的に使用しているが、本発明においてウェーハに相当する部材は、支持体10である。

【0114】

錐形状を有する抵抗体層35eが形成される。尚、抵抗体層35eの先端部にマスク材料層36が残存する場合には、希フッ酸水溶液を用いたウェットエッチングによりマスク材料層36を除去することができる。

【0116】

る。

【0118】【工程-350】この後、図13の(B)に示すように、等方的なエッチング条件で開口部14の内部において絶縁層12に設けられた開口部の側壁面を後退させると、電界放出素子が完成される。等方的なエッチングについては、実施の形態1で前述した通りである。かかる電界放出素子を用いて、本発明の表示装置を構成することができる。表示装置を構成する方法は、実施の形態1で述べた方法と同様である。

【0119】ところで、実施の形態3で形成された抵抗体層35eにおいては、実施の形態1で形成された電子放出部に15eに比べ、先端部により鋭い錐形状が達

成されている。これは、マスク材料層36の形状と、該マスク材料層36のエッチング速度に対する抵抗体層35のエッチング速度の比の違いに起因する。この違いについて、図14を参照しながら説明する。図14は、被エッチング物の表面プロファイルが一定時間毎にどのように変化するかを示す図であり、図14の(A)は銅から成るマスク材料層36を用いた場合、図14の(B)はレジスト材料から成るマスク材料層16を用いた場合をそれぞれ示す。

【0120】銅から成るマスク材料層36を用いた場合(図14の(A)参照)は、マスク材料層36のエッチング速度が抵抗体層35のエッチング速度に比べて十分に遅いため、エッチング中にマスク材料層36が消失することがなく、従って、先端部の鋭い抵抗体層35eを形成することができる。これに対し、レジスト材料から成るマスク材料層16を用いた場合(図14の(B)参照)は、マスク材料層16のエッチング速度が抵抗体層15のエッチング速度に比べてそれ程大きくないために、エッチング中にマスク材料層16が消失し易く、従って、マスク消失後の抵抗体層15eの錐状形状が鈍化する傾向がある。

【0121】また、柱状部35Bに残るマスク材料層36には、柱状部35Bの深さが多少変化しても、抵抗体層35eの形状が変化し難いというメリットもある。即ち、柱状部35Bの深さは、抵抗体層35の厚さやステップカバレッジのばらつきによって変化し得るが、柱状部35Bの幅は深さによらずほぼ一定なので、マスク材料層36の幅もほぼ一定となり、最終的に形成される抵抗体層35eの形状には大差が現れない。これに対し、凹部15Aに残るマスク材料層16においては、凹部15Aが浅い場合と深い場合とでマスク材料層の幅も変化してしまうため、凹部15Aが浅くマスク材料層16の厚さが薄い場合ほど、より早期に抵抗体層15eの錐状形状の鈍化が始まる。従って、この錐状形状を反映して抵抗体層15e上に形成される電子放出部17eの先端部の形状も、鈍化する可能性がある。電界放出素子の電子放出効率は、ゲート電極とカソード電極との間の電位差、ゲート電極とカソード電極との間の距離、電子放出部の構成材料の仕事関数の他、電子放出部の先端部の形状によっても変化する。このため、必要に応じて上述のようにマスク材料層の形状やエッチング速度を選択することが好ましい。

【0122】(実施の形態4) 実施の形態4は、実施の形態3の変形である。実施の形態4が実施の形態3と相違する点は、柱状部35B内にマスク材料層を残すに当たり、実施の形態3のようにマスク材料層36と抵抗体層35とを除去する代わりに、マスク材料層36のみを除去する点である。実施の形態4の製造方法を、図15を参照して説明する。尚、図15の符号は、図11乃至図13と一部共通であり、共通部分については詳しい説

明を省略する。

【0123】[工程-400] 先ず、図9の(B)に示したマスク材料層36の形成までを実施の形態3の[工程-300]～[工程-310]と同様に行った後、抵抗体層35上と拡大部35C内のマスク材料層36のみを除去することにより、図15に示すように、柱状部35B内にマスク材料層36を残す。このとき、例えば希フッ酸水溶液を用いたウェットエッチングを行うことにより、不純物含有ポリシリコンから成る抵抗体層35を除去することなく、銅から成るマスク材料層36のみを選択的に除去することができる。柱状部35B内に残るマスク材料層36の高さは、エッチング時間に依存するが、このエッチング時間は、拡大部35Cに埋め込まれたマスク材料層36の部分が十分に除去される限りにおいて、それ程の厳密さを要しない。なぜなら、マスク材料層36の高低に関する議論は、図14の(A)を参照しながら前述した柱状部35Bの浅深に関する議論と実質的に同じであり、マスク材料層36の高低は、最終的に形成される抵抗体層35e、ひいては電子放出部37eの形状に大きな影響を及ぼさないからである。

【0124】この後の電子放出部37eの形成、及び開口部14内における絶縁層12の等方的なエッチングを実施の形態3で述べたと同様に行うと、図13の(B)に示した電界放出素子が完成される。かかる電界放出素子を用いて、実施の形態1で述べたと同様に表示装置を構成することができる。

【0125】(実施の形態5) 実施の形態5は、本発明の第2の態様、より具体的には第2Aの態様に係る製造方法に関する。実施の形態5の製造方法によって完成される電界放出素子の模式的な部分端面図を図16に示し、その製造方法を図17乃至図19に示す。これらの図中の符号は図1と一部共通であり、図1と共通の構成要素については詳しい説明を省略する。

【0126】実施の形態5で製造され得る電界放出素子が実施の形態1の電界放出素子と大きく異なる点は、開口部14の底部が抵抗体層55eで埋め込まれ、この抵抗体層55e上に錐状形状を有する電子放出部57eが形成されている点である。尚、抵抗体層55eと電子放出部57eの間には密着層56eが図示されているが、密着層56eは電界放出素子の機能上不可欠な構成要素ではなく、製造上の理由で形成されている。絶縁層12の壁面は、開口部14内において、ゲート電極13の直下から抵抗体層55eの上端部にかけてえぐられている。

【0127】以下、実施の形態5に係る電界放出素子の製造方法について、図17乃至図19を参照して説明する。

【0128】[工程-500] 先ず、絶縁層12の形成までを、実施の形態1の[工程-100]と同様に行う。続いて、絶縁層12上に、クロムから成るゲート電

極13を形成する。ゲート電極13を形成する際のスパッタ法によるクロム層の製膜は、前述の表1に示した条件に従って行うことができ、クロム層のRIE法によるパターニングは、前述の表2に示した条件に従って行うことができる。続いて、開口部14を形成する。開口部14を形成するに際しては、前述の表2に示した条件に従ってゲート電極13をエッチングし、前述の表6に示した条件に従って絶縁層12をエッチングすることができる。次に、開口部14内を含む全面に、不純物含有ポリシリコンから成る抵抗層55を形成し、更に、抵抗層55の全面に平坦化層51を表面が略平坦となるように形成する。ここでは、スピコート法で形成したレジスト層を平坦化層51とする。尚、この平坦化層51は、次の工程【工程-510】で形成される抵抗層55eの上面を平坦化するために形成される層であるが、省略することもできる。平坦化層51を省略した場合には、抵抗層55の表面に生じた凹部の形状が、抵抗層55eの表面にも反映される。図17の(A)には、ここまでのプロセスを終了した状態を示す。

【0129】【工程-510】次に、平坦化層51と抵抗層55のエッチング速度が共に略等しくなる条件でこれら両層をエッチングし、図17の(B)に示すように、上面が平坦な抵抗層55eで開口部14の底部を埋め込む。エッチングは、塩素系ガスと酸素系ガスとを含むエッチングガスを用いたRIE法により行うことができる。

【0130】【工程-520】次に、図18の(A)に示すように、開口部14の残部を含む全面に密着層56を製膜する。密着層56は、例えばスパッタ法により形成される厚さ0.07 μ mのTiN層であり、表12に示したスパッタ条件に従って形成することができる。続いて、開口部14内を含む全面に、電子放出部形成用の導電材料層57を形成する。ここでは、導電材料層57として、厚さ約0.3 μ mのタングステン層を水素還元減圧CVD法により製膜する。CVD条件の一例を、下記の表17に示す。製膜された導電材料層57の表面には、開口部14の上端面と底面との間の段差を反映した凹部57Aが形成される。

【0131】【表17】

WF₆流量：95SCCM

H₂流量：700SCCM

圧力：1.2 $\times 10^{-4}$ Pa

製膜温度：430 $^{\circ}$ C

【0132】【工程-530】次に、図18の(B)に示すように、導電材料層57の全面にマスク材料層58を表面が略平坦となるように形成する。このマスク材料層58は、実施の形態の【工程-120】と同様に形成することができる。

【0133】【工程-540】次に、図19の(A)に示すように、マスク材料層58を酸素系ガスを用いたR

IE法によりエッチングする。RIE条件は、前述の表9に示した条件を採用することができる。エッチングは、導電材料層57の平坦面が露出した時点で終了する。これにより、導電材料層57の表面の凹部57Aにマスク材料層58を平坦に残す。このマスク材料層58は、開口部14の中央部に位置する導電材料層57の領域を遮蔽するように形成されている。

【0134】【工程-550】次に、導電材料層57、マスク材料層58及び密着層56を共にエッチングする。このエッチングは、例えば前述の表16に示す条件に従って行うことができる。このエッチングにより、図19の(B)に示すように、先端部が針状形状を有する電子放出部57eが形成される。電子放出部57eの先端部において針状形状が達成される機構は、実施の形態1で抵抗層55に関して述べた機構と同様である。この後、開口部14内において絶縁層12に設けられた開口部の側壁面を後退させると、図16に示した電界放出素子を得ることができる。かかる電界放出素子を用いて、実施の形態1で述べたと同様に表示装置を構成することができる。

【0135】(実施の形態6) 実施の形態6は、実施の形態5の変形である。実施の形態6の製造方法が実施の形態5の製造方法と相違する点は、ゲート電極上に更に第2絶縁層を形成し、更に第2絶縁層上に収束電極を形成する工程を設けた点である。実施の形態6の製造方法により完成される電界放出素子の模式的な部分端面図を図20に示し、その製造方法を図21に示す。これらの図中の符号は図7と一部共通であり、図7と共通の構成要素については詳しい説明を省略する。

【0136】実施の形態6の製造方法により完成される電界放出素子は、図20に示すように、例えばガラス基板から成る支持体10と、クロム(Cr)から成るカソード電極11と、SiO₂から成る絶縁層12と、クロムから成るゲート電極13と、SiO₂から成る第2絶縁層20と、クロムから成る収束電極21と、電子放出部67eから構成されている。収束電極21、第2絶縁層20、ゲート電極13及び絶縁層12には、これらを貫通する開口部24が設けられている。開口部24の底部は抵抗層65によって埋め込まれ、この抵抗層65上に電子放出部67eが形成されている。尚、抵抗層65と電子放出部67eの間には密着層66eが図示されているが、密着層66eは電界放出素子の機能上不可欠な構成要素ではなく、製造上の理由で形成されている。

【0137】以下、実施の形態6に係る電界放出素子の製造方法について、図21を参照して説明する。尚、実施の形態6も含め、本明細書中の以下の実施の形態で述べる各プロセス中、プロセス条件を特に記載しないものについては、前述の表に示す条件を適宜選択して適用することができる。

【0138】[工程-600] 先ず、絶縁層12の形成までを、実施の形態2の[工程-200]と同様に行う。次に、絶縁層12上にクロムから成るゲート電極13を形成し、ゲート電極13上を含む絶縁層12に第2絶縁層20を形成し、更に、第2絶縁層20上にクロムから成る収束電極21を形成する。収束電極21を形成するためのクロム層の製膜とパターニングについては、ゲート電極13の形成と同様に行うことができる。次に、開口部24を形成する。開口部24を形成するに際しては、前述の表2に示した条件に従って収束電極21及びゲート電極13をエッチングし、前述の表6に示した条件に従って第2絶縁層20及び絶縁層12をエッチングすることができる。次に、開口部24の底部、より具体的には、絶縁層12を貫通する部分の開口部24の底部を埋め込むように、抵抗体層65を形成する。この抵抗体層65の形成は、実施の形態5の[工程-500]～[工程-510]と同様、抵抗体層の全面製膜と、平坦化層による平坦化と、エッチングとを組み合わせたプロセスで形成することができる。抵抗体層65として、ここでは、磷(P)を含有するポリシリコン層を使用する。図21の(A)には、ここまでのプロセスを終了した状態を示す。

【0139】[工程-610] 次に、図21の(B)に示すように、開口部24の残部を含む全面に、例えばTiNから成る密着層66、及びタングステンから成る電子放出部形成用の導電材料層67をこの順に形成する。導電材料層67の表面には、開口部24の上端面と底面(ここでは、抵抗体層65の表面)との間の段差を反映した凹部67Aが形成される。更に、導電材料層67上の全面にマスク材料層(図示せず)を形成し、該マスク材料層を例えばエッチバックすることにより、凹部67Aにマスク材料層68を残す。

【0140】この後、導電材料層67とマスク材料層68と密着層66のエッチングを実施の形態5の[工程-550]と同様に行い、錐状形状を有する電子放出部67eを形成する。更に、開口部54内において絶縁層12及び第2絶縁層20に設けられた開口部の側壁面を等方性エッチングを行って後退させると、図20に示した電界放出素子が得られる。かかる電界放出素子を用いて、実施の形態1で述べたと同様に表示装置を構成することができる。

【0141】(実施の形態7) 実施の形態7は、本発明の第2の態様、より具体的には第2Bの態様に係る製造方法に関する。実施の形態7の製造方法を図22及び図23に示す。これらの図中の符号は図1と一部共通であり、図1と共通の構成要素については詳しい説明を省略する。

【0142】[工程-700] 先ず、ゲート電極13の形成までを実施の形態1と同様に行う。次に、ゲート電極13上を含む絶縁層12上に、例えばSiO₂から成

る厚さ0.2μmのエッチング停止層28を形成する。このエッチング停止層28は、電界放出素子の機能上不可欠な部材ではなく、後工程で行われる導電材料層77のエッチング時に、ゲート電極13を保護する役割を果たす。従って、導電材料層77のエッチング条件に対してゲート電極13が十分に高いエッチング耐性を持ち得る場合には、エッチング停止層28を省略しても構わない。エッチング停止層28の形成条件は、前述の表3に示した通りである。この後、RIE法により、エッチング停止層28、ゲート電極13、絶縁層12を貫通する開口部74を形成する。次に、開口部74の残部を含む全面に、例えばTiNから成る密着層76、及びタングステンから成る電子放出部形成用の導電材料層77とを、この順に形成する。ここでは、開口部74の直径0.6μmに対して導電材料層77の厚さを0.25μmとすることにより、開口部74の上端面と底面(ここでは抵抗体層75の表面)との間の段差を反映して、柱状部77Bと該柱状部77Bの上端に連通する拡大部77Cとから成る略漏斗状の凹部77Aを導電材料層77の表面に生成させる。更に、導電材料層77の全面にマスク材料層78を形成する。ここでは、一例として前述の表14に示した条件に従って、厚さ約0.5μmの銅(Cu)層をマスク材料層78として形成する。図22の(A)には、ここまでのプロセスを終了した状態を示す。

【0143】[工程-710] 次に、図22の(B)に示すように、マスク材料層78と導電材料層77とを支持体10の表面に対して平行な面内で除去することにより、柱状部77Bにマスク材料層78を残す。この除去は、例えば前述の表15に例示した条件に従って化学機械研磨(CMP)法により行うことができる。

【0144】[工程-720] 次に、導電材料層77とマスク材料層78と密着層76のエッチングを実施の形態5の[工程-550]と同様に行い、図23の(A)に示すように、錐状形状を有する電子放出部77eを形成する。電子放出部77eと抵抗体層75との間には、密着層76eが残る。実施の形態7で形成される電子放出部77eは、実施の形態5に関連して図16に示した電子放出部57eと類似しているが、実施の形態5におけるよりもマスク材料層78の幅が狭く、また、対マスク選択比が高いことから、より急峻な錐状形状を有している。

【0145】[工程-730] 更に、開口部74内において絶縁層12に設けられた開口部の側壁面を等方性エッチングを行って後退させると共に、エッチング停止層28を除去すると、図23の(B)に示す電界放出素子を完成させることができる。かかる電界放出素子を用いて、実施の形態1で述べたと同様に表示装置を構成することができる。

【0146】(実施の形態8) 実施の形態8は、実施の

形態7の変形である。実施の形態8が実施の形態7と相違する点は、柱状部77B内にマスク材料層78を残すに当たり、実施の形態7のようにマスク材料層78と導電材料層77とを除去する代わりに、マスク材料層78のみを除去する点である。実施の形態8の製造方法を、図24を参照して説明する。尚、図24の符号は、図22及び図23と一部共通であり、共通部分については詳しい説明を省略する。

【0147】[工程-800] 先ず、マスク材料層78の形成までを実施の形態7の[工程-700]と同様に行う。続いて、導電材料層77上と拡大部77C内のマスク材料層78のみを除去することにより、図24に示すように、柱状部77B内にマスク材料層78を残す。このとき、例えば希フッ酸水溶液を用いたウェットエッチングを行うことにより、タングステンから成る導電材料層77を除去することなく、銅から成るマスク材料層78のみを選択的に除去することができる。

【0148】この後の電子放出部77eの形成、及び開口部74内における絶縁層12の等方的なエッチングを実施の形態7で述べたと同様に行うと、電界放出素子が完成される。かかる電界放出素子を用いて、実施の形態1で述べたと同様に表示装置を構成することができる。

【0149】(実施の形態9) 実施の形態9は、本発明の第2Cの態様に係る製造方法に関する。実施の形態9は実施の形態5と類似しているが、導電材料層57と密着層56とが同一の導電材料から成る点が相違している。先ず、実施の形態9の製造方法を提案するに至った技術的背景について図25を参照して説明し、続いて図26及び図27に実施の形態9の製造方法の工程図を示す。尚、これらの図面の符号は図16乃至図19と一部共通であり、共通部分については詳しい説明を省略する。

【0150】先の図19の(A)及び図19の(B)に示したプロセスは、実施の形態5における[工程-540]から[工程-550]に至るプロセス、即ち、導電材料層57と密着層56のエッチングが理想的に進行した場合を示している。しかしながら、実際のプロセスではエッチング条件の微妙なばらつきにより、電子放出部57eの錐状形状がエッチングの進行に伴って鈍化したり、あるいは開口部14の側壁にエッチング残渣が残る場合も生じ得る。その原因のひとつとして、導電材料層57と密着層56の各構成材料の組合せによっては、密着層56に由来するエッチング反応生成物が導電材料層57のエッチングを阻害することが考えられる。例えば、導電材料層57がタングステン(W)から成り、密着層56が窒化チタン(TiN)から成り、これらをフッ素系化学種を用いてエッチングする際に生じ得る現象を、図25に概念的に示す。尚、図25には、エッチングガスとして SF_6 を使用し、フッ素系化学種として SF_x^+ が生成した状態を例示するが、エッチングガスとし

て NF_3 を用いれば NF_x^+ 、フルオロカーボン系ガスを用いれば CF_x^+ が、それぞれフッ素系化学種として生成する。図25の(A)は、エッチングの進行に伴う被エッチング物(即ち、導電材料層57と密着層56とマスク材料層58)の表面プロファイルa~gの変化を示し、図25の(B)は、表面プロファイルcの達成時点で起こり得る現象を模式的に示す。尚、ここでは、導電材料層57とマスク材料層58のエッチング速度の比を2:1と仮定し、導電材料層57と密着層56のエッチング速度の比を10:1と仮定する。

【0151】このエッチングの初期においては、タングステンから成る導電材料層57の面積が被エッチング物の面積の大部分を占めており、表面プロファイルはa→bと変化してゆく。このとき、導電材料層57は、 $W + xF \rightarrow WF_x$ (但し、xは6以下の自然数であり、典型的にはx=6である)で表される反応により速やかに除去される。しかし、表面プロファイルcが達成された時点では、TiNから成る密着層56の面積が被エッチング物の面積の大部分を占めるようになり、導電材料層57の面積が被エッチング物の面積に占める割合は、通常の電界放出素子の設計では僅か1%以下となってしまう。ところが、TiNとフッ素系化学種との反応によって生成するフッ化チタン(TiF_x ; 但し、xは3以下の自然数であり、典型的にはx=3である)は蒸気圧が低いため、導電材料層57の表面に付着してエッチングの進行を妨げる。従って、マスク材料層58が消失した以降の表面プロファイルをみると、d→e→f→gと推移するにつれて錐状形状が鈍化すると共に、開口部14の側壁にもエッチング残渣が残る虞れがある。このことは、電子放出効率の低下や、エッチング残渣によるゲート電極とカソード電極との短絡等の不都合の原因となる。

【0152】実施の形態9の電界放出素子の製造方法においては、導電材料層57のエッチング速度 R_3 と密着層56のエッチング速度 R_4 とをほぼ揃えるか、あるいは導電材料層57のエッチング速度 R_3 の方が速いとしても、密着層56のエッチング速度 R_4 の5倍以内に選択する($R_4 \leq R_3 \leq 5R_4$)ことにより、上記の問題を解決する。同一のエッチング条件下で導電材料層57と密着層56のエッチング速度を揃えるには、両層を同一の導電材料を用いて構成することが最も簡便である。両層を構成する導電材料が同一であっても、製膜方法を適切に選択することにより、導電材料層に要求されるステップカバレッジの良好さと、密着層に要求される密着性の良好さをそれぞれ達成することは可能である。以下、実施の形態9の電界放出素子の製造方法について説明する。

【0153】[工程-900] 先ず、開口部14の底部を埋め込む抵抗体層55eの形成までを、実施の形態5の[工程-500]～[工程-510]と同様に行う。

次に、開口部14の残部を含む全面に、タングステンから成る厚さ約0.07 μ mの密着層56をDCスパッタ法で形成する。スパッタ条件は、前述の表11に述べた通りである。スパッタ法により形成されたタングステン層は、密着層56として十分な機能を果たし得る。この後、タングステンから成る導電材料層57の形成と、該導電材料層57の表面の凹部57Aにマスク材料層58を残すプロセスは、実施の形態5の〔工程-520〕～〔工程-540〕と同様に行うことができる。図26の(A)は、ここまでの工程が終了した状態を示している。

【0154】〔工程-910〕次に、導電材料層57とマスク材料層58のエッチングを行う。ここでは、例えば下記の表18に示すRIE条件に従って、エッチングを行うことができる。図26の(B)は、密着層56が丁度露出した時点を図示している。実施の形態9では、この時点において被エッチング物の面積の大部分を占める材料は依然としてタングステンであるため、図25を参照して説明したような蒸気圧の低いエッチング反応生成物が発生せず、エッチングは引き続き速やかに進行する。

【0155】〔表18〕

SF₆流量 : 150SCCM

O₂流量 : 30SCCM

Ar流量 : 90SCCM

圧力 : 35Pa

RFパワー : 0.7kW (13.56MHz)

【0156】〔工程-920〕更に、被エッチング物に密着層56も加わって引き続きエッチングが進行すると、最終的には、図27の(A)に示すように、良好な錐状形状を有する電子放出部57eを形成することができる。図27の(B)には、エッチングの進行に伴う被エッチング物（即ち、導電材料層57と密着層56とマスク材料層58）の表面プロファイルa～fの変化を示す。尚、ここでは、導電材料層57とマスク材料層58のエッチング速度の比を2:1と仮定し、導電材料層57と密着層56のエッチング速度の比を1:1と仮定している。マスク材料層58が消失した以降であっても、電子放出部57eの錐状形状の鈍化やエッチング残渣の残存が効果的に抑制されていることが明らかである。

【0157】この後、等方的なエッチング条件で開口部14の内部において絶縁層12に設けられた開口部の側壁面を後退させると、図16に示したと同様の電界放出素子が完成される。かかる電界放出素子を用いて、実施の形態1で述べたと同様に表示装置を構成することができる。

【0158】（実施の形態10）実施の形態10は、実施の形態5の変形である。実施の形態10が実施の形態5と相違する点は、開口部の壁面が傾斜している点である。実施の形態10の製造方法によって完成される電界

放出素子の概念図を図28に示し、更に、かかる電界放出素子の製造方法の工程図を図29に示す。尚、これらの図面の符号は図1と一部共通であり、共通部分については詳しい説明を省略する。

【0159】実施の形態10の電界放出素子は、図28に示すように、開口部104の底部を埋め込む抵抗体層105と、抵抗体層105上に形成された錐状形状を有する電子放出部107eを有する。電子放出部107eと抵抗体層105の間には密着層106eが図示されているが、密着層106eは電界放出素子の機能上不可欠な構成要素ではなく、製造上の理由で形成されている。開口部104の壁面は傾斜角 θ_1 をもって傾斜しており、電子放出部の斜面は傾斜角 θ_2 をもって傾斜しており、且つ、傾斜角 θ_1 と θ_2 とは $\theta_1 < \theta_2 < 90^\circ$ の関係を満たしている。開口部の壁面が垂直であると、エッチング条件によっては開口部の壁面上に導電材料層や密着層のエッチング残渣が残り、ゲート電極13と抵抗体層105とがエッチング残渣により短絡され、結果的にゲート電極13とカソード電極11とが短絡される虞れがある。そして、かかるエッチング残渣を十分に除去するためにエッチング時間を延長すると、今度は電子放出部の高さが減少し、ゲート電極13の端部と電子放出部の先端部との間の距離が増大してしまう。かかる距離の増大は、電子放出効率の低下、ひいては消費電力の増大を招く。しかし、実施の形態10のように開口部104の壁面を傾斜させれば、異方性エッチング条件下であっても、該壁面上の導電材料層や密着層にエッチング種が十分に入射できるようになり、エッチング残渣の発生が抑制されると共に、電子放出部の高さも減少させずに済む。従って、図28に示した電界放出素子の構成は、ゲート電極13とカソード電極11との間の短絡不良を防止しながら、消費電力の増大も抑制可能な構成と言える。以下、実施の形態10の製造方法について、図29を参照して説明する。

【0160】〔工程-1000〕先ず、エッチング停止層28の形成までを実施の形態7と同様に行った後、開口部104を形成する。開口部104を形成するに際し、ゲート電極13のRIEは前述の表5に示した条件で行うが、エッチング停止層28と絶縁層12については、一例として下記の表19に示すRIE条件を適用する。表19に示したRIE条件は、前述の表6に示した条件に比べてC₄F₈流量が多く、カーボン系ポリマーの堆積を促進し得る。この結果、図29の(A)に示すように、壁面が傾斜した開口部104が形成される。このとき、カソード電極11の表面を基準とした開口部104の壁面の傾斜角 θ_1 は、約75°となる。

【0161】〔表19〕

C₄F₈流量 : 100SCCM

CO流量 : 70SCCM

Ar流量 : 100SCCM

圧力 : 7.3 Pa
RFパワー : 700W (13.56MHz)
エッチング温度 : 20°C

【0162】次に、開口部104の底部を埋め込む抵抗体層105を、抵抗体層の全面製膜、及び平坦化層を用いたエッチバックを経て形成する。更に、開口部104の残部を含む全面に、例えば窒化チタンから成る密着層106と、タングステンから成る電子放出部形成用の導電材料層107とをこの順に形成する。形成された導電材料層107の表面には、開口部104の上端面と底面（ここでは抵抗体層105の表面）との間の段差を反映した凹部107Aが形成される。更に、導電材料層107上の全面にマスク材料層108を形成し、該マスク材料層108をエッチバックして凹部107A内に残す。図29の(A)には、ここまでのプロセスが終了した状態を示す。

【0163】[工程-1010] 次に、導電材料層107とマスク材料層108と密着層106とをエッチングし、図29の(B)に示すように、円錐形状の電子放出部107eを形成する。このエッチングは、例えば前述の表16に示した条件に従って行うことができる。電子放出部107e先端部の斜面の傾斜角 θ_2 は約80°となり、開口部104の壁面の傾斜角を θ_1 （約75°）よりも大きい。両傾斜角が $\theta_1 < \theta_2$ の関係を満足していることにより、上記のエッチング中において開口部104の壁面にエッチング残渣が残らず、十分な高さを有する電子放出部107eを形成することができる。

【0164】その後、等方的なエッチング条件で開口部104内において絶縁層12に設けられた開口部の側壁面を後退させると共に、エッチング停止層28を除去すると、図28に示した電界放出素子が完成される。かかる電界放出素子を用いて、実施の形態1で述べたと同様に表示装置を構成することができる。

【0165】（実施の形態11）実施の形態11は、本発明の第3の態様、より具体的には第3Aの態様に係る製造方法に関する。実施の形態11の製造方法によって完成される電界放出素子の模式的な部分端面図を図30に示し、その製造方法を図31に示す。これらの図中の符号は図1と一部共通であり、図1と共通の構成要素については詳しい説明を省略する。

【0166】実施の形態11で製造され得る電界放出素子においては、図30に示すように、支持体10上にクロムから成るカソード電極11が形成され、カソード電極11上に例えば不純物含有ポリシリコンから成る抵抗体層115が形成されている。カソード電極11上を含む支持体10上には絶縁層12が形成され、この絶縁層12上にはクロムから成るゲート電極13が形成されている。ゲート電極13と絶縁層12には、これら両部材を貫通する開口部14が設けられ、絶縁層12に設けられた開口部の側壁面はゲート電極13の開口端部よりも

後退している。開口部14の底部に位置する抵抗体層115上には、例えばタングステンから成り、錐形状（より具体的には、円錐形状）を有する電子放出部117eが形成されている。電子放出部117eと抵抗体層115との間には密着層116eが図示されているが、密着層116eは電界放出素子の機能上不可欠な構成要素ではなく、製造上の理由で形成されている。

【0167】以下、実施の形態11の製造方法を、図31を参照して説明する。

【0168】[工程-1100] 先ず、表面に抵抗体層115を有するカソード電極11を、支持体10上に形成する。具体的には、例えばカソード電極11を構成するクロム(Cr)層と、抵抗体層115を構成する不純物含有ポリシリコン層を積層し、共通のエッチングマスク（図示せず）と塩素系エッチングガスを用いてクロム層と不純物含有ポリシリコン層とをエッチングする。次に、カソード電極11上を含む支持体10上に絶縁層12を形成し、絶縁層12上にクロムから成るゲート電極13を形成する。更に、ゲート電極13と絶縁層12とをエッチングすることにより、底部に抵抗体層115が露出した開口部14を形成する。図31の(A)には、ここまでのプロセスを終了した状態を示す。

【0169】[工程-1110] 次に、開口部14内を含む全面に、例えばTiNから成る密着層116、及びタングステンから成る電子放出部形成用の導電材料層117をこの順に形成する。導電材料層117の表面には、開口部14の上端面と底面との間の段差を反映した凹部117Aが形成される。更に、導電材料層117上の全面にマスク材料層（図示せず）を形成し、該マスク材料層を例えばエッチバックすることにより、凹部117A内にマスク材料層118を残す。

【0170】この後、導電材料層117とマスク材料層118と密着層116のエッチングを実施の形態5の[工程-550]と同様に行い、錐形状を有する電子放出部117eを形成する。更に、開口部14内において絶縁層12に設けられた開口部の側壁面を等方性エッチングを行って後退させると、図30に示した電界放出素子が得られる。かかる電界放出素子を用いて、実施の形態1で述べたと同様に表示装置を構成することができる。

【0171】（実施の形態12）実施の形態12は、本発明の第3Bの態様に係る電界放出素子の製造方法に関する。実施の形態12の製造方法を、図32を参照して説明する。尚、図32の符号は図31と一部共通であり、共通部分については詳しい説明を省略する。

【0172】[工程-1200] 先ず、密着層116の形成までを実施の形態11と同様に行う。次に、開口部24内を含む全面に、タングステンから成る電子放出部形成用の導電材料層117を形成する。ここでは、開口部24の直径0.5μmに対して導電材料層117の厚

さを $0.25\mu\text{m}$ とすることにより、開口部24の上端面と底面（ここでは抵抗体層115の表面）との間の段差を反映して、柱状部117Bと該柱状部117Bの上端に連通する拡大部117Cとから成る略漏斗状の凹部117Aを導電材料層117の表面に生成させる。更に、導電材料層117の全面に、マスク材料層118として例えば厚さ約 $0.5\mu\text{m}$ の銅（Cu）層を形成する。図32の（A）には、ここまでのプロセスを終了した状態を示す。

【0173】〔工程-1210〕次に、図32の（B）に示すように、マスク材料層118と導電材料層117とを支持体10の表面に対して平行な面内で除去することにより、柱状部117Bにマスク材料層118を残す。この除去は、例えば化学機械研磨（CMP）法により行うことができる。

【0174】この後、導電材料層117とマスク材料層118と密着層116のエッチングを実施の形態7の〔工程-720〕と同様に行って電子放出部を形成し、更に絶縁層12の等方的なエッチングを実施の形態7の〔工程-730〕と同様に行うことにより、実施の形態11と同様の電界放出素子（図30参照）を完成することができる。但し、実施の形態12で形成された電子放出部の錐状形状は、実施の形態11で形成された電子放出部117eの錐状形状よりも急峻である。実施の形態11で完成された電界放出素子を用いて、実施の形態1で述べたと同様に表示装置を構成することができる。

【0175】（実施の形態13）実施の形態13は、実施の形態12の変形である。実施の形態13が実施の形態12と相違する点は、柱状部117B内にマスク材料層118を残すに当たり、実施の形態12のようにマスク材料層118と導電材料層117とを除去する代わりに、マスク材料層118のみを除去する点である。実施の形態13の製造方法を、図33を参照して説明する。尚、図33の符号は、図32と一部共通であり、共通部分については詳しい説明を省略する。

【0176】〔工程-1300〕まず、マスク材料層118の形成までを実施の形態12の〔工程-1200〕と同様に行う。続いて、導電材料層117上と拡大部117C内のマスク材料層118のみを除去することにより、図33に示すように、柱状部117B内にマスク材料層118を残す。このとき、例えば希フッ酸水溶液を用いたウェットエッチングを行うことにより、タングステンから成る導電材料層117を除去することなく、銅から成るマスク材料層118のみを選択的に除去することができる。

【0177】この後の電子放出部の形成、及び開口部24内における絶縁層12の等方的なエッチングを実施の形態7で述べたと同様に行うと、電界放出素子が完成される。かかる電界放出素子を用いて、実施の形態1で述べたと同様に表示装置を構成することができる。

【0178】（実施の形態14）実施の形態14は、本発明の本発明の第3Cの態様に係る製造方法に関する。実施の形態14は実施の形態11と類似しているが、導電材料層117と密着層116とが同一の導電材料から成る点が相違している。実施の形態14の製造方法を、図34を参照して説明する。尚、図34の符号は図11と一部共通であり、共通部分については詳しい説明を省略する。

【0179】〔工程-1400〕まず、開口部14の形成までを、実施の形態11の〔工程-1100〕と同様に行う。次に、開口部14内を含む全面に、タングステンから成る厚さ約 $0.07\mu\text{m}$ の密着層116をDCスパッタ法で形成する。スパッタ条件は、前述の表11に述べた通りである。スパッタ法により形成されたタングステン層は、密着層116として十分な機能を果たし得る。この後、タングステンから成る導電材料層117の形成と、該導電材料層117の表面の凹部117A内にマスク材料層118を残すプロセスは、実施の形態11の〔工程-1110〕と同様に行うことができる。図34の（A）は、ここまでの工程が終了した状態を示している。

【0180】〔工程-1410〕次に、導電材料層117とマスク材料層118のエッチングを実施の形態9と同様に行う。図34の（B）は、密着層116が丁度露出した時点を図示している。実施の形態14では、この時点において被エッチング物の面積の大部分を占める材料は依然としてタングステンであるため、蒸気圧の低いエッチング反応生成物が発生せず、エッチングは引き続き速やかに進行する。

【0181】更に、被エッチング物に密着層116も加わって引き続きエッチングが進行すると、最終的には良好な錐状形状を有する電子放出部を、エッチング残渣を残すことなく形成することができる。この後、等方的なエッチング条件で開口部14の内部において絶縁層12に設けられた開口部の側壁面を後退させると、図30に示したと同様の電界放出素子が完成される。かかる電界放出素子を用いて、実施の形態1で述べたと同様に表示装置を構成することができる。

【0182】（実施の形態15）実施の形態15は、実施の形態11の変形である。実施の形態15が実施の形態11と相違する点は、開口部の壁面が傾斜している点である。実施の形態15の製造方法によって完成される電界放出素子の概念図を図35に示し、更に、かかる電界放出素子の製造方法の工程図を図36に示す。尚、これらの図面の符号は図30と一部共通であり、共通部分については詳しい説明を省略する。

【0183】実施の形態15の製造方法によって完成される電界放出素子は、図35に示すように、支持体10上にクロムから成るカソード電極11が形成され、カソード電極11上に抵抗体層115が形成されている。カ

ソード電極11上を含む支持体10上には絶縁層12が形成され、この絶縁層12上にはクロムから成るゲート電極13が形成されている。ゲート電極13と絶縁層12には、これら両部材を貫通する開口部154が設けられ、絶縁層12に設けられた開口部の側壁面はゲート電極13の開口端部よりも後退し、且つ、傾斜角 θ_1 をもって傾斜している。開口部14の底部に位置する抵抗体層115上には、例えばタングステンから成り、錐形状（より具体的には、円錐形状）を有する電子放出部157eが形成されている。電子放出部の斜面は傾斜角 θ_2 をもって傾斜しており、且つ、傾斜角 θ_1 と θ_2 とが $\theta_1 < \theta_2 < 90^\circ$ の関係を満たしている。電子放出部157eと抵抗体層115との間には密着層156eが図示されているが、密着層156eは電界放出素子の機能上不可欠な構成要素ではなく、製造上の理由で形成されている。図35に示した電界放出素子の構成は、ゲート電極13とカソード電極11との間の短絡不良を防止しながら、消費電力の増大も抑制可能な構成である。

【0184】以下、実施の形態15の製造方法について、図36を参照して説明する。

【0185】【工程-1500】 先ず、ゲート電極13の形成までを実施の形態11の【工程-1100】と同様に行う。次に、更に、ゲート電極13を例えば前述の表2に示した条件に従ってエッチングし、絶縁層12を例えば前述の表19に示した条件に従ってエッチングすることにより、図36の(A)に示すように、壁面が傾斜した開口部154を形成する。このとき、カソード電極11の表面を基準とした開口部154の壁面の傾斜角 θ_1 は、約 75° となる。

【0186】【工程-1510】 次に、図36の(B)に示すように、開口部154内を含む全面に、例えばTiNから成る密着層156、及びタングステンから成る電子放出部形成用の導電材料層157をこの順に形成する。導電材料層157の表面には、開口部154の上端面と底面（ここでは、抵抗体層115の表面）との間の段差を反映した凹部157Aが形成される。更に、導電材料層157上の全面にマスク材料層（図示せず）を形成し、該マスク材料層を例えばエッチバックすることにより、凹部157A内にマスク材料層158を残す。

【0187】この後、導電材料層157とマスク材料層158と密着層156のエッチングを実施の形態11と同様に行い、錐形状を有する電子放出部157eを形成する。更に、開口部154内において絶縁層12に設けられた開口部の側壁面を等方性エッチングを行って後退させると、図35に示した電界放出素子が得られる。かかる電界放出素子を用いて、実施の形態1で述べたと同様に表示装置を構成することができる。

【0188】以上、本発明を、発明の実施の形態に基づき説明したが、本発明はこれらに限定されるものではない。電界放出素子の構造の細部、電界放出素子の製造方

法における加工条件や使用した材料等の詳細事項、電界放出素子を適用した表示装置の構造の細部は例示であり、適宜変更、選択、組合せが可能である。例えば、実施の形態3、実施の形態4、実施の形態7～実施の形態15において説明した電界放出素子に、実施の形態2や実施の形態6にて説明した収束電極を設けてもよい。実施の形態1～実施の形態6において説明した電界放出素子において、カソード電極と抵抗体層との間に密着層を設けてもよい。実施の形態2では本発明の第1Aの態様に係る製造方法を例示したが、第1Bの態様に係る製造方法も同様に適用可能である。実施の形態6及び実施の形態10では、本発明の第2Aの態様に係る製造方法を例示したが、第2Bの態様及び第2Cの態様に係る製造方法も同様に適用可能である。更に、実施の形態15では、本発明の第3Aの態様に係る製造方法を例示したが、第3Bの態様及び第3Cの態様に係る製造方法も同様に適用可能である。

【0189】

【発明の効果】 以上の説明からも明らかなように、本発明の電界放出素子は、電子放出部とカソード電極とが抵抗体層を介して接続された構成を有するので、電子放出部の形状や寸法のばらつきによる電子放出特性のばらつきが抑えられ、表示画質と信頼性が改善される。

【0190】本発明の第1の態様に係る製造方法においては、マスク材料層の形成部位と形状、及びマスク材料層と抵抗体層とのエッチング速度比を巧妙に選択したプロセスにより、先端部が錐形状を有する抵抗体層を、均一且つ再現性良く形成することができる。従って、かかる抵抗体層上にその錐形状を反映して形成される電子放出部の形状や寸法を均一化することも容易となり、電子放出特性が高度に均一化された信頼性の高い電界放出素子を提供することが可能となる。更に、本発明の電界放出素子においては、電子放出部が抵抗体層とその上に形成される電子放出部から構成されるので、抵抗体層の高さを適切に選択することにより電子放出部の先端部とゲート電極との間の距離を微調整することが可能となり、電界放出素子、ひいてはこの電界放出素子を用いた表示装置の設計の自由度が高まる。

【0191】本発明の第2の態様及び第3の態様に係る製造方法においては、抵抗体層の先端部に錐形状を達成する代わりに、同様の原理によって電子放出部の先端部の錐形状を均一且つ容易に達成することができる。電子放出部の形状及び寸法が均一化されることにより、電子放出特性が高度に均一化された信頼性の高い電界放出素子を提供することが可能となる。

【0192】本発明の第1の態様乃至第3の態様に係る製造方法においては、抵抗体層や電子放出部の先端部を構成する錐形状を、一連の自己整合的なプロセスにより形成することができる。従ってプロセスの煩雑さが軽減されることは勿論、大面積のカソード・パネルの製造

を想定した場合にも、カソード・パネルの全面に互って均一な寸法及び形状を有する電子放出部を形成することができ、表示装置の大画面化に容易に対応することが可能となる。自己整合的なプロセスを適用することができるので、フォトリソグラフィ工程数が削減され、更には製造設備投資の削減、プロセス時間の短縮化、電界放出素子や表示装置の製造コストの低減を図ることができる。

【図面の簡単な説明】

【図 1】実施の形態 1 の電界放出素子を示す模式図である。

【図 2】本発明の表示装置の構成例を示す模式的端面図である。

【図 3】実施の形態 1 の電界放出素子の製造方法を説明する模式的端面図であり、(A) は開口部の形成工程、(B) は抵抗体層の形成工程をそれぞれ表す。

【図 4】図 3 に続き、実施の形態 1 の電界放出素子の製造方法を説明する模式的端面図であり、(A) はマスク材料層の形成工程、(B) は凹部にマスク材料層を残す工程をそれぞれ表す。

【図 5】図 4 に続き、実施の形態 1 の電界放出素子の製造方法を説明する模式的端面図であり、(A) は先端部が錐状形状を有する抵抗体層の形成工程、(B) は電子放出部の形成工程をそれぞれ表す。

【図 6】抵抗体層の先端部における錐状形状の達成機構を説明する図であり、(A) は、エッチングの進行に伴う被エッチング物の表面プロファイルの変化を示す概念図、(B) は、エッチング時間と開口部中心における被エッチング物の厚さとの関係を示すグラフである。

【図 7】実施の形態 2 の電界放出素子を示す模式図である。

【図 8】実施の形態 2 の電界放出素子の製造方法を説明する模式的端面図であり、(A) は収束電極の形成工程まで、(B) は開口部の形成工程をそれぞれ表す。

【図 9】図 8 に続き、実施の形態 2 の電界放出素子の製造方法を説明する模式的端面図であり、(A) は抵抗体層の形成工程、(B) は凹部にマスク材料層を残す工程をそれぞれ表す。

【図 10】図 9 に続き、実施の形態 2 の電界放出素子の製造方法を説明する模式的端面図であり、(A) は先端部が錐状形状を有する抵抗体層の形成工程、(B) は凹部にマスク材料層を残す工程をそれぞれ表す。

【図 11】実施の形態 3 の製造方法を示す模式的端面図であり、(A) は抵抗体層の形成工程、(B) はマスク材料層の形成工程をそれぞれ表す。

【図 12】図 11 に続き、実施の形態 3 の電界放出素子の製造方法を説明する模式的端面図であり、(A) は柱状部にマスク材料層を残す工程、(B) は先端部が錐状形状を有する抵抗体層の形成工程をそれぞれ表す。

【図 13】図 12 に続き、実施の形態 3 の電界放出素子

の製造方法を説明する模式的端面図であり、(A) は電子放出部の形成工程、(B) は開口部の等方性エッチング工程をそれぞれ表す。

【図 14】被エッチング物の表面プロファイルの経時変化を説明する模式図であり、(A) は銅から成るマスク材料層を用いた場合、(B) はレジスト材料から成るマスク材料層を用いた場合をそれぞれ表す。

【図 15】実施の形態 4 の製造方法を示す模式的端面図である。

【図 16】実施の形態 5 の製造方法で得られる電界放出素子の模式図である。

【図 17】実施の形態 5 の製造方法を示す模式的端面図であり、(A) は平坦化層の形成工程まで、(B) は開口部の底部を抵抗体層で埋め込む工程をそれぞれ表す。

【図 18】図 17 に続き、実施の形態 5 の製造方法を示す模式的端面図であり、(A) は密着層と導電材料層の形成工程、(B) はマスク材料層の形成工程をそれぞれ表す。

【図 19】図 18 に続き、実施の形態 5 の製造方法を示す模式的端面図であり、(A) は凹部にマスク材料層を残す工程、(B) は電子放出部の形成工程をそれぞれ表す。

【図 20】実施の形態 6 の製造方法で得られる電界放出素子の模式図である。

【図 21】実施の形態 6 の製造方法を示す模式的端面図であり、(A) は開口部の底部を抵抗体層で埋め込む工程まで、(B) は密着層、導電材料層、マスク材料層の形成工程をそれぞれ表す。

【図 22】実施の形態 7 の製造方法を示す模式的端面図であり、(A) はマスク材料層の形成工程まで、(B) は柱状部にマスク材料層を残す工程をそれぞれ表す。

【図 23】図 22 に続き、実施の形態 7 の製造方法を示す模式的端面図であり、(A) は錐状形状を有する電子放出部の形成工程、(B) は絶縁層の等方性エッチング工程をそれぞれ表す。

【図 24】実施の形態 8 の製造方法を示す模式的端面図である。

【図 25】実施の形態 9 の技術的背景を説明する図であり、(A) はエッチングの進行に伴う被エッチング物の表面プロファイルの変化を示す概念図、(B) はエッチング途中状態の概念図をそれぞれ表す。

【図 26】実施の形態 9 の製造方法を示す模式的端面図であり、(A) は凹部にマスク材料層を残す工程まで、(B) は導電材料層のエッチングの途中状態をそれぞれ表す。

【図 27】図 26 に続き、実施の形態 9 の製造方法を示す模式的端面図であり、(A) は錐状形状を有する電子放出部の形成工程、(B) はエッチングの進行に伴う被エッチング物の表面プロファイルの変化をそれぞれ表す。

【図28】実施の形態10の製造方法で得られる電界放出素子の模式図である。

【図29】実施の形態10の製造方法を示す模式的端面図であり、(A)は凹部にマスク材料層を残す工程まで、(B)は導電材料層のエッチング工程をそれぞれ表す。

【図30】実施の形態11の製造方法で得られる電界放出素子の模式図である。

【図31】実施の形態11の製造方法を示す模式的端面図であり、(A)は開口部の形成工程まで、(B)は導電材料層の凹部にマスク材料層を残す工程をそれぞれ表す。

【図32】実施の形態12の製造方法を示す模式的端面図であり、(A)はマスク材料層の形成工程まで、(B)は柱状部にマスク材料層を残す工程をそれぞれ表す。

【図33】実施の形態13の製造方法を示す模式的端面図である。

【図34】実施の形態14の製造方法を示す模式的端面図であり、(A)は凹部にマスク材料層を残す工程まで、(B)は導電材料層のエッチングの途中状態をそれぞれ表す。

【図35】実施の形態15の製造方法で得られる電界放出素子の模式図である。

【図36】実施の形態15の製造方法を示す模式的端面図であり、(A)は開口部の形成工程まで、(B)は導電材料層の凹部にマスク材料層を残す工程、(C)は電子放出部の形成工程をそれぞれ表す。

【図37】従来の表示装置の一般的な構成を示す部分模式的端面図である。

【図38】従来のスピント型電界放出素子の製造方法を一例を説明するための模式的端面図であり、(A)は開口部を形成した状態、(B)はゲート電極上に剥離層を形成した状態をそれぞれ表す。

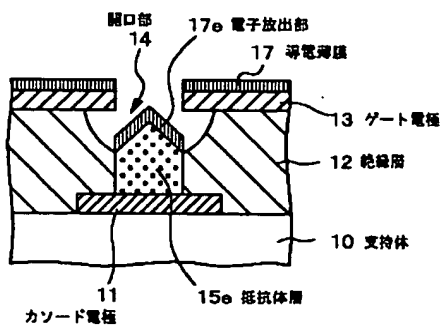
【図39】図38に引き続き従来のスピント型の電界放出素子の製造方法を一例を説明するための模式的端面図であり、(A)は導電材料層の成長に伴って円錐形状の電子放出部が形成された状態、(B)は不要の導電材料層を剥離層と共に除去した状態をそれぞれ表す。

【符号の説明】

10・・・支持体、11・・・カソード電極、12・・・絶縁層、13・・・ゲート電極、14、24、74、104、154・・・開口部、15、15e、25、25e、35、35e、55、55e、65、75、105、115・・・抵抗体層、16、26、36、58、58、78、108、118、158・・・マスク材料層、17、27、37・・・導電薄膜、57、77、107、117、157・・・導電材料層（電子放出部形成用）、17e、27e、37e、57e、67e、77e、107e、117e、157e・・・電子放出部、15A、25A、35A、57A、67A、77A、107A、117A、157A・・・凹部、35B、77B、117B・・・柱状部、35C、77C、117C・・・拡大部、56、56e、66、66e、76、76e、106、106e、116、116e、156、156e・・・密着層、12・・・絶縁層、20・・・第2絶縁層、21・・・収束電極、CP・・・カソード・パネル、AP・・・アノード・パネル、160・・・基板、161・・・蛍光体層、162・・・アノード電極

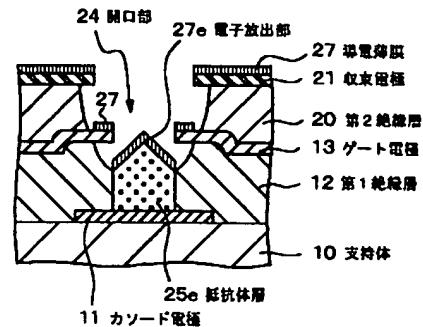
【図1】

【図1】



【図7】

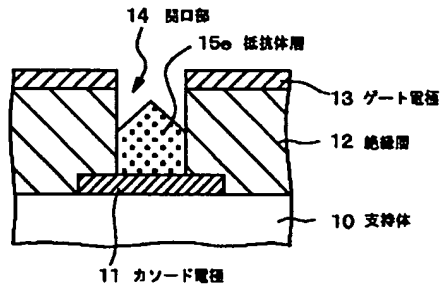
【図7】



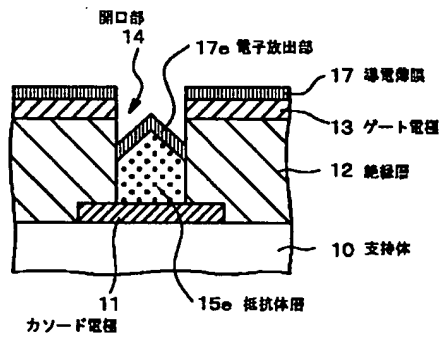
【図5】

【図5】

(A) 【工程-140】



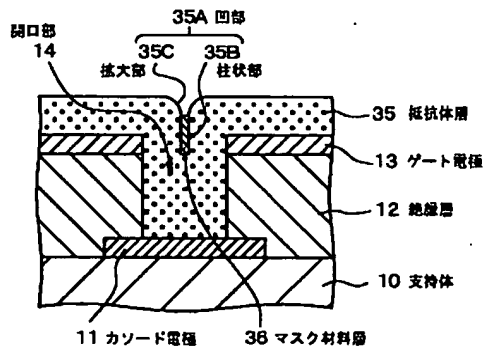
(B) 【工程-150】



【図15】

【図15】

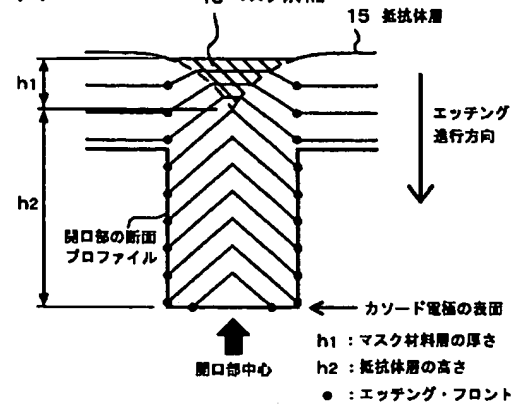
【工程-400】



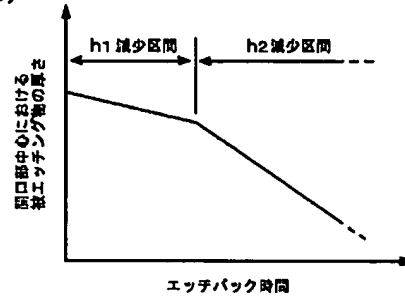
【図6】

【図6】

(A)

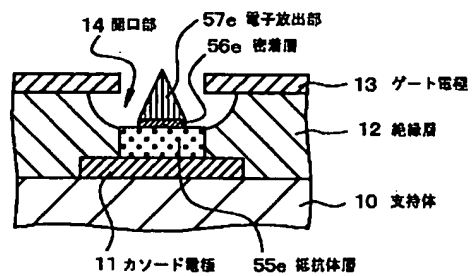


(B)



【図16】

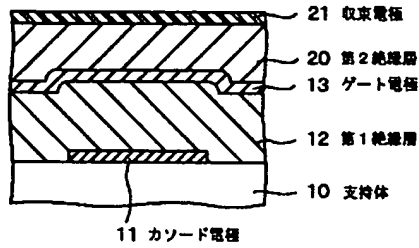
【図16】



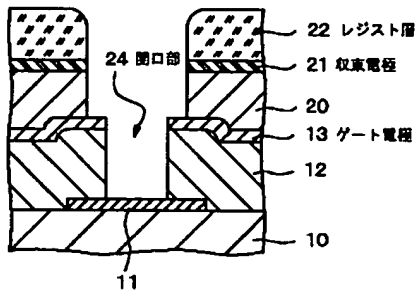
【図8】

【図8】

(A) 【工程-200】

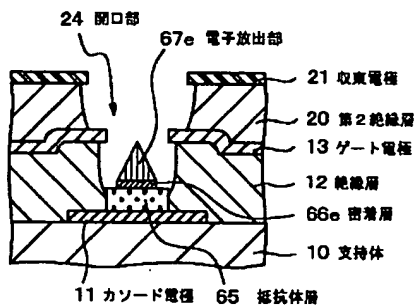


(B) 【工程-210】



【図20】

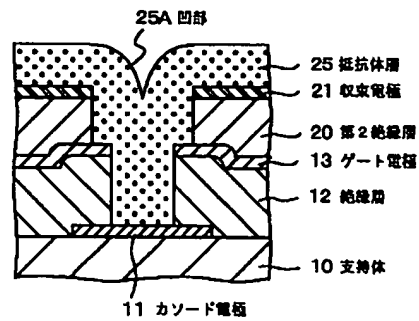
【図20】



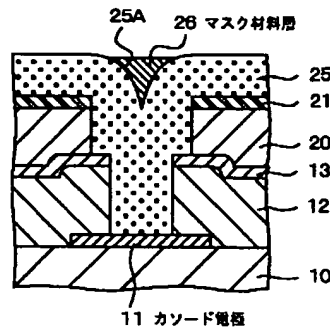
【図9】

【図9】

(A) 【工程-220】



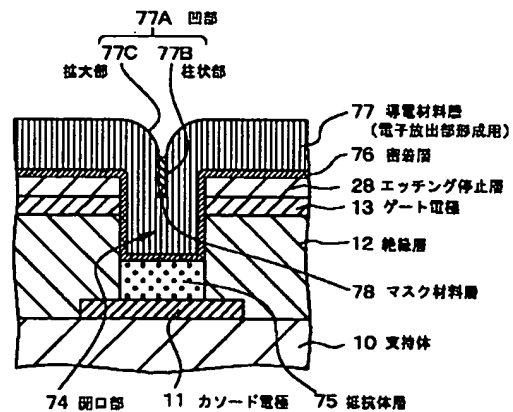
(B) 【工程-230】



【図24】

【図24】

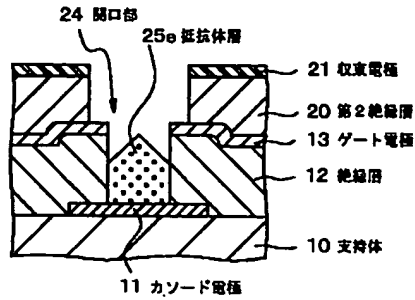
【工程-800】



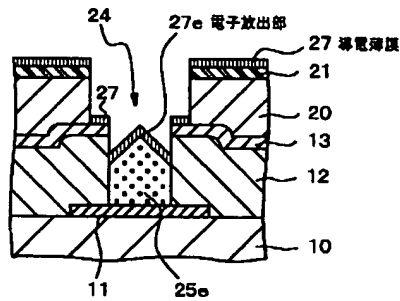
【図10】

【図10】

(A) 【工程-240】

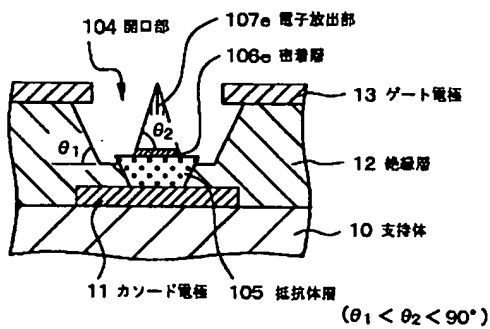


(B) 【工程-250】



【図28】

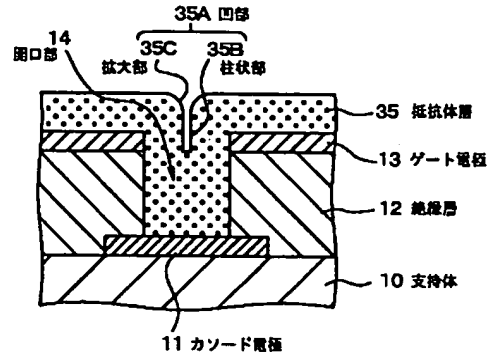
【図28】



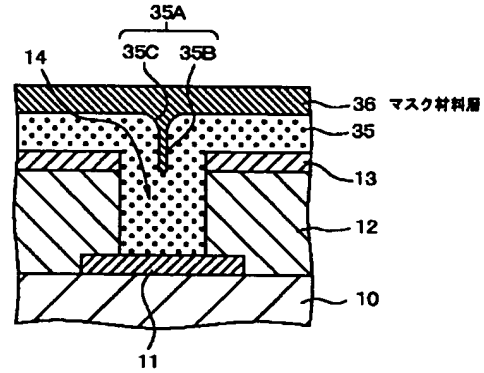
【図11】

【図11】

(A) 【工程-300】

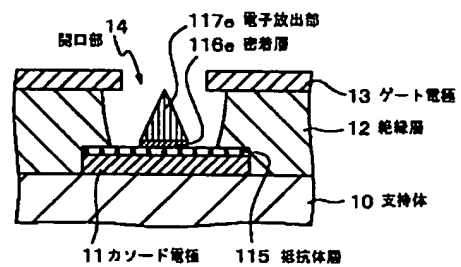


(B) 【工程-310】



【図30】

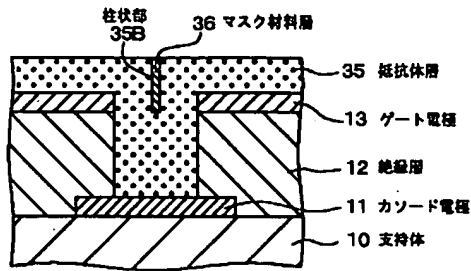
【図30】



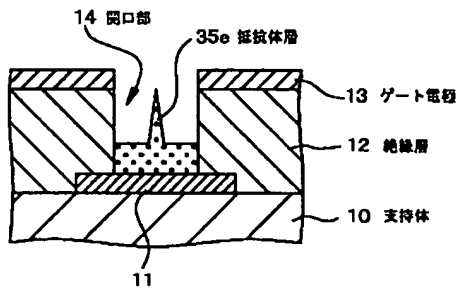
【図12】

【図12】

(A) 【工程-320】



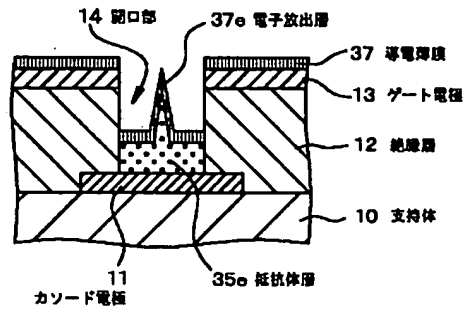
(B) 【工程-330】



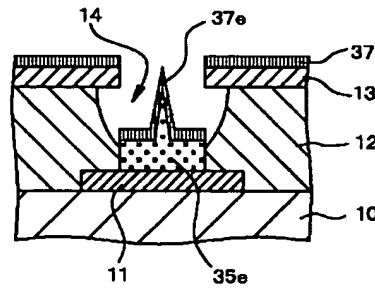
【図13】

【図13】

(A) 【工程-340】



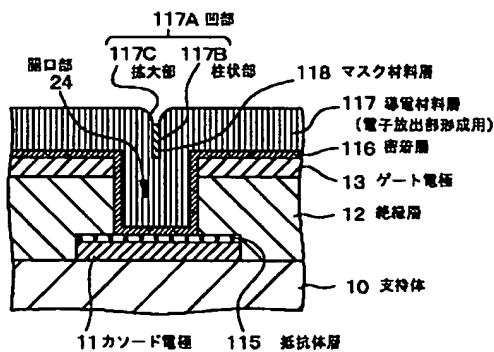
(B) 【工程-350】



【図33】

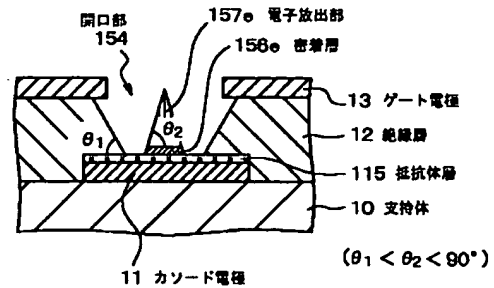
【図33】

【工程-1300】



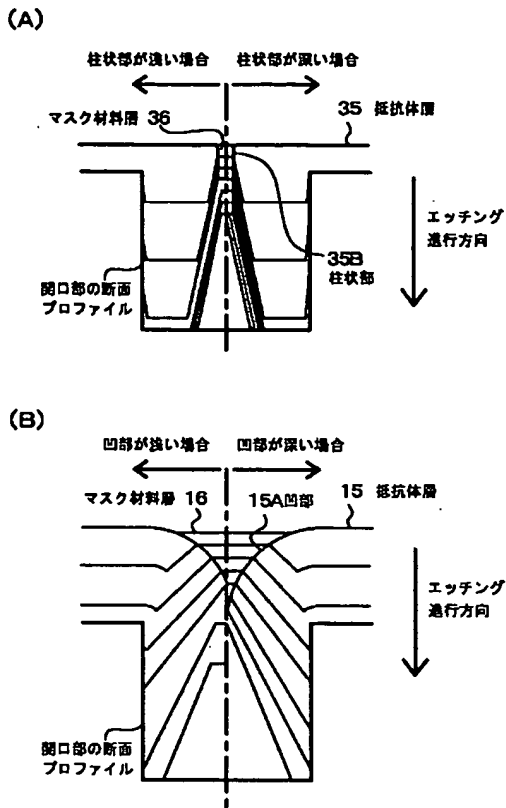
【図35】

【図35】



【図14】

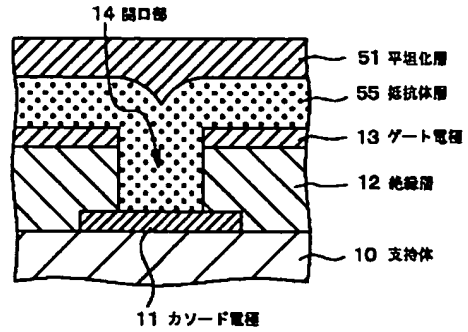
【図14】



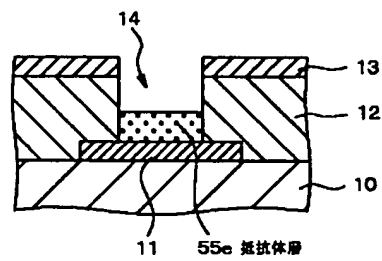
【図17】

【図17】

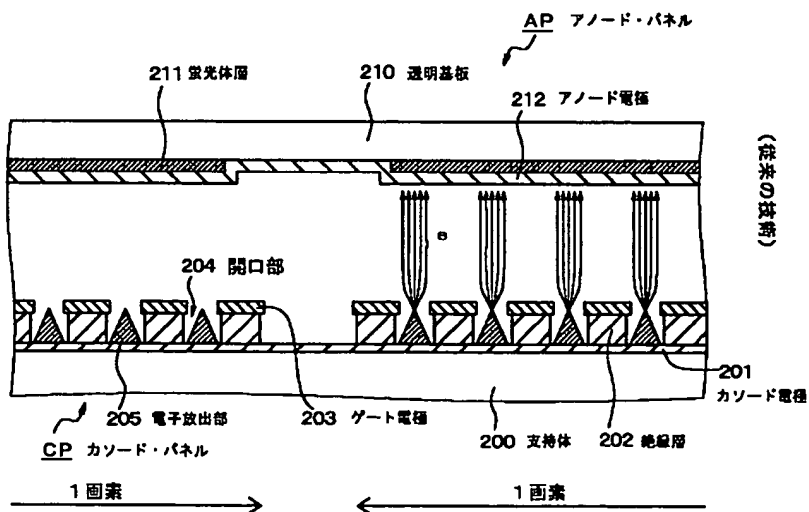
(A) [工程-500]



(B) [工程-510]



【図37】

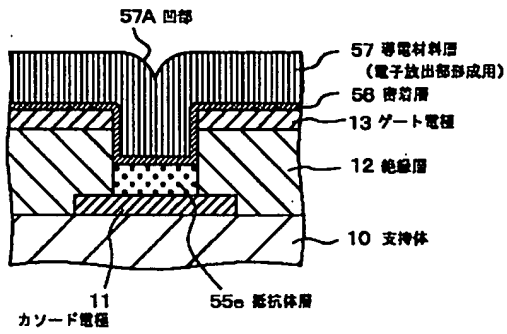


【図37】

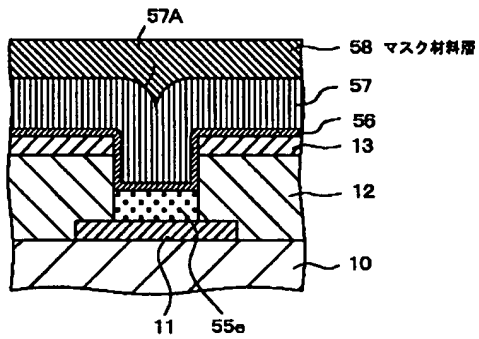
【図18】

【図18】

(A) 【工程-520】



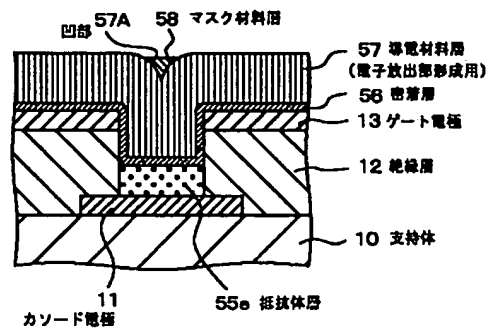
(B) 【工程-530】



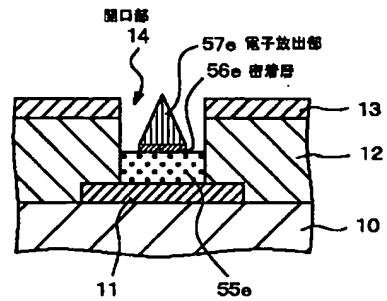
【図19】

【図19】

(A) 【工程-540】



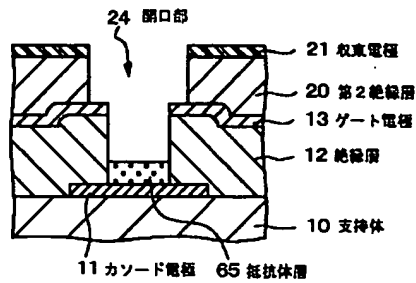
(B) 【工程-550】



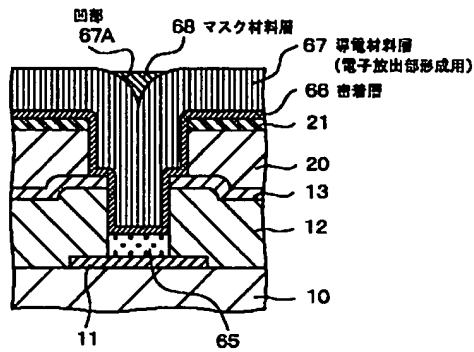
【図21】

【図21】

(A) 【工程-600】



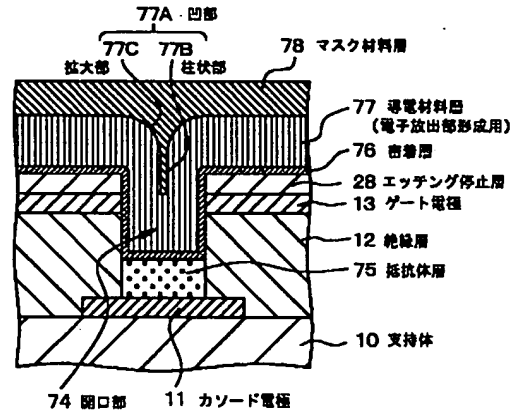
(B) 【工程-610】



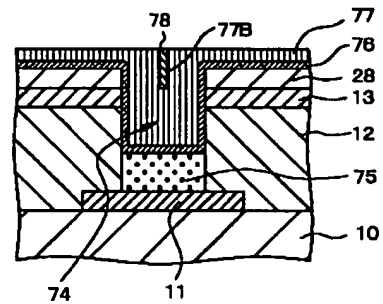
【図22】

【図22】

(A) 【工程-700】



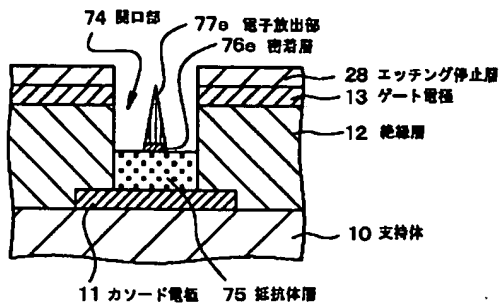
(B) 【工程-710】



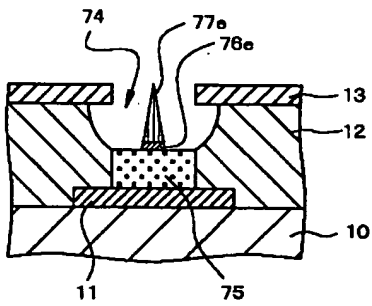
【図23】

【図23】

(A) 【工程-720】



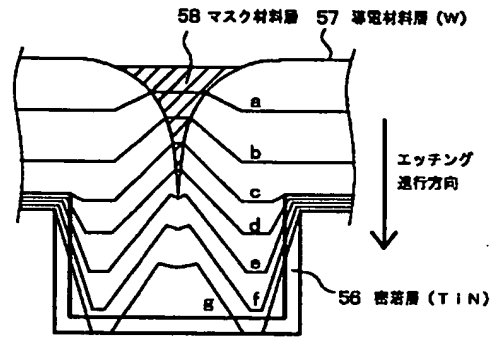
(B) 【工程-730】



【図25】

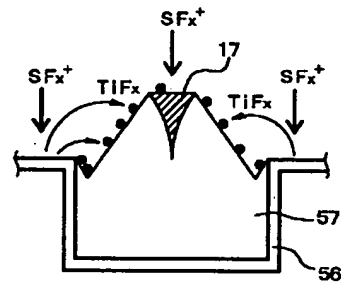
【図25】

(A)



エッチング速度の比
導電材料層：マスク材料層 = 2 : 1
導電材料層：密着層 = 10 : 1

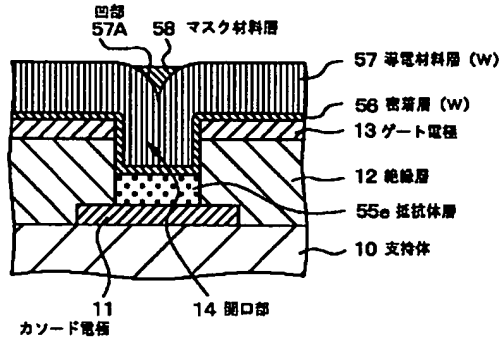
(B)



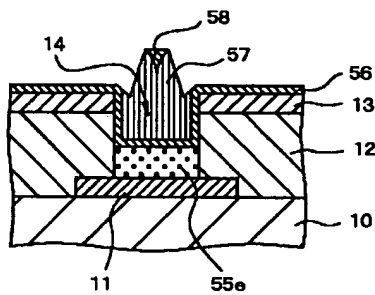
【図26】

【図26】

(A) 【工程-900】



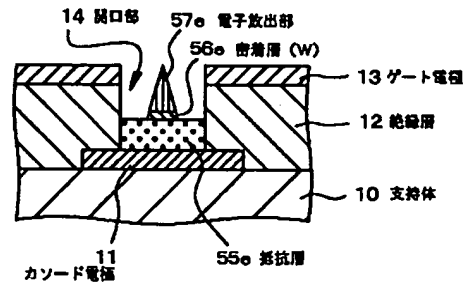
(B) 【工程-910】



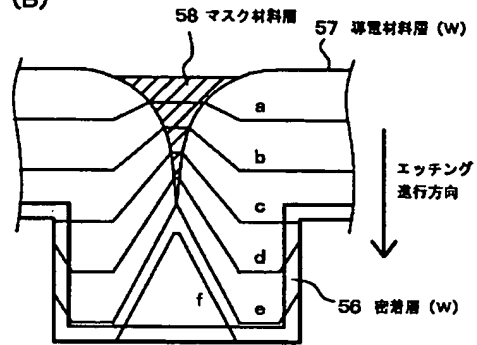
【図27】

【図27】

(A) 【工程-920】



(B)

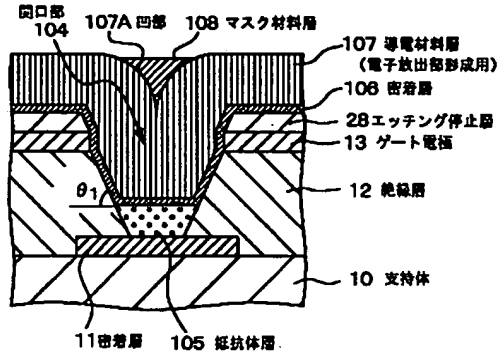


エッチング速度の比
導電材料層：マスク材料層=2：1
導電材料層：密着層 = 1：1

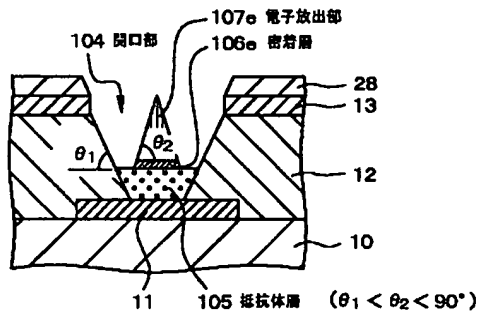
【図29】

【図29】

(A) 【工程-1000】



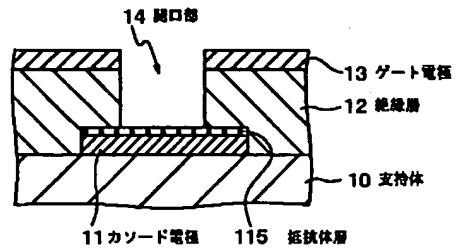
(B) 【工程-1010】



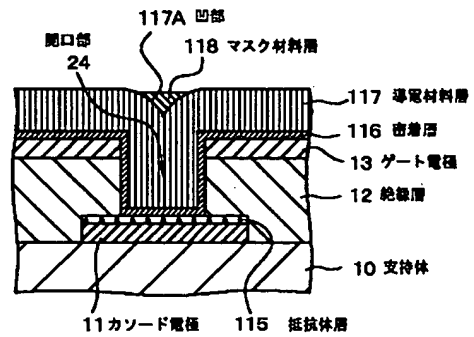
【図31】

【図31】

(A) 【工程-1100】



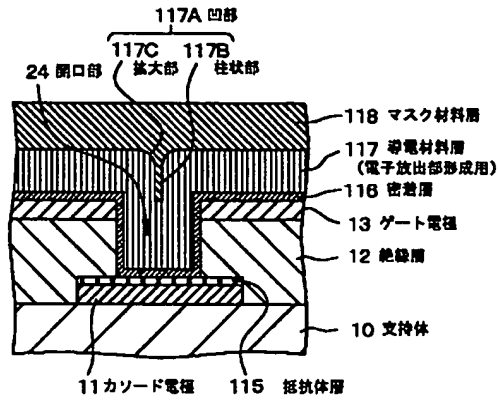
(B) 【工程-1110】



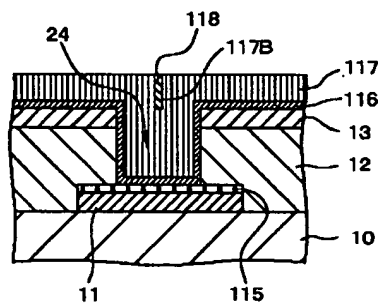
【図32】

【図32】

(A) [工程-1200]



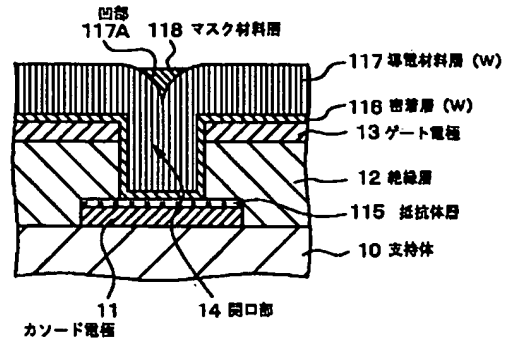
(B) [工程-1210]



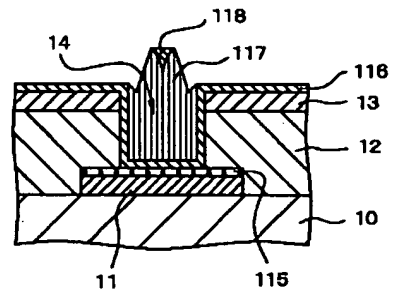
【図34】

【図34】

(A) [工程-1400]



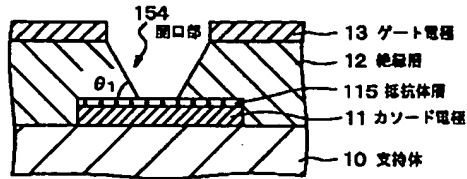
(B) [工程-1410]



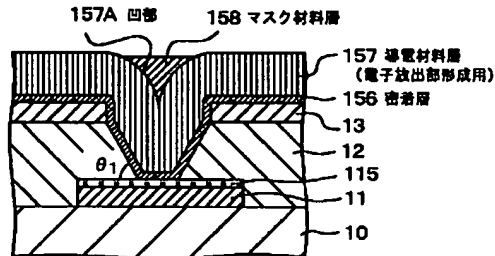
【図36】

【図36】

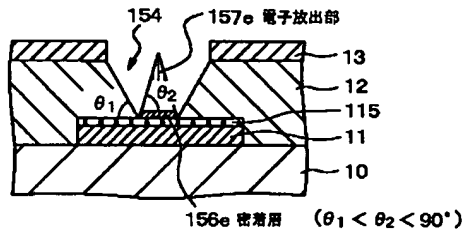
(A) [工程-1500]



(B) [工程-1510]



(C) [工程-1520]

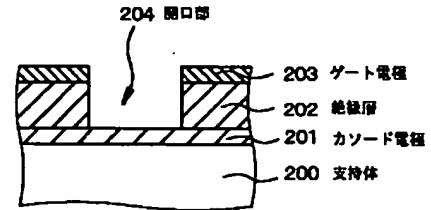


【図38】

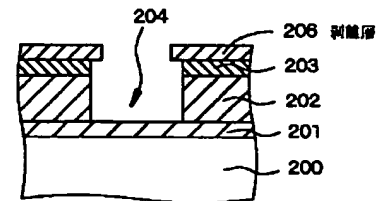
【図38】

(従来の技術)

(A) [工程-10]



(B) [工程-20]

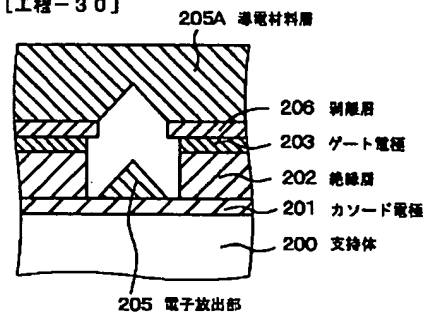


【図39】

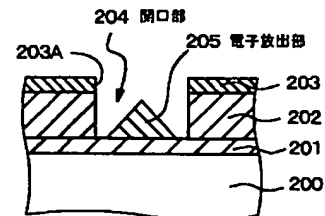
【図39】

(従来の技術)

(A) [工程-30]



(B) [工程-40]



フロントページの続き

(72)発明者 佐多 博史

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

Fターム(参考) 5C031 DD09 DD17 DD19

5C036 EE02 EE14 EF01 EF06 EF09

EG12 EG19 EH06 EH08 EH26

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.